

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION  
EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la Propriété  
Intellectuelle  
Bureau international



(43) Date de la publication internationale  
11 janvier 2001 (11.01.2001)

PCT

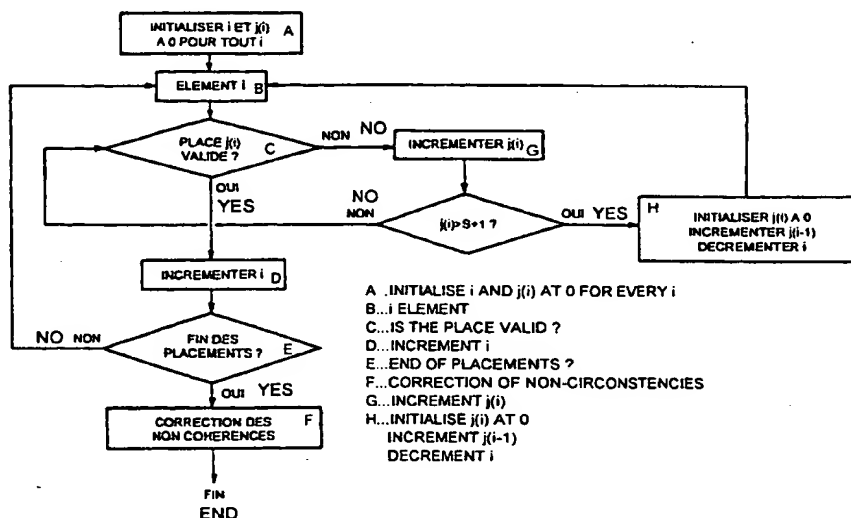
(10) Numéro de publication internationale  
WO 01/02960 A1

- (51) Classification internationale des brevets<sup>7</sup>: G06F 11/20, 15/80
- (21) Numéro de la demande internationale:  
PCT/FR00/01861
- (22) Date de dépôt international: 30 juin 2000 (30.06.2000)
- (25) Langue de dépôt: français
- (26) Langue de publication: français
- (30) Données relatives à la priorité:  
99/08554 2 juillet 1999 (02.07.1999) FR
- (71) Déposant (pour tous les États désignés sauf US): COM-  
MISSARIAT A L'ENERGIE ATOMIQUE [FR/FR];  
31/33, rue de la Fédération, F-75752 Paris 15ème (FR).
- (72) Inventeurs; et
- (75) Inventeurs/Déposants (pour US seulement): CLER-  
MIDY, Fabien [FR/FR]; 101b, rue du 8 Mai 1945,  
F-91300 Massy (FR). COLLETTE, Thierry [FR/FR];  
Résidence Les Pampres, Bât. A, F-91940 Les Ulis (FR).
- (74) Mandataire: RICHARD, Patrick; Brevatome, 3, rue du  
Docteur Lancereaux, F-75008 Paris (FR).
- (81) État désigné (national): US.
- (84) États désignés (régional): brevet européen (AT, BE, CH,  
CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT,  
SE).
- Publiée:  
— Avec rapport de recherche internationale.

[Suite sur la page suivante]

(54) Title: RECONFIGURATION METHOD APPLICABLE TO AN ARRAY OF IDENTICAL FUNCTIONAL ELEMENTS

(54) Titre: PROCEDE DE RECONFIGURATION APPLICABLE A UN RESEAU D'ELEMENTS FONCTIONNELS  
IDENTIQUES



(57) Abstract: The invention concerns a method for reconfiguring an array of parallel functional elements fault-tolerant towards said functional elements comprising said basic functional elements (P), additional functional elements (Sp), elements interconnecting (Cm) said functional elements and a control unit, said method consisting in: a step for placing the functional elements of the logic network on the physical network; a routing step which consists in programming the interconnecting elements on the physical network, selecting a maximum number of interconnecting elements capable of being run through by two neighbouring processors using a shortest path algorithm.

[Suite sur la page suivante]

WO 01/02960 A1



— Avant l'expiration du délai prévu pour la modification des revendications, sera republiée si des modifications sont reçues.

En ce qui concerne les codes à deux lettres et autres abréviations, se référer aux "Notes explicatives relatives aux codes et abréviations" figurant au début de chaque numéro ordinaire de la Gazette du PCT.

(57) Abrégé: La présente invention concerne un procédé de reconfiguration d'un réseau d'éléments fonctionnels parallèles avec tolérance aux fautes de ces éléments fonctionnels comportant lesdits éléments fonctionnels de base (P), des éléments fonctionnels supplémentaires (Sp), des éléments d'interconnexion (Cm) de ces éléments fonctionnels et une unité de contrôle, ledit procédé comprenant: une étape de placement des éléments fonctionnels du réseau logique sur le réseau physique; une étape de routage consistant en une programmation des éléments d'interconnexion sur le réseau physique, en choisissant un nombre maximal d'éléments d'interconnexion pouvant être traversés entre deux processeurs voisins utilisant un algorithme de recherche du plus court chemin.

PROCEDE DE RECONFIGURATION APPLICABLE A UN RESEAU  
D'ELEMENTS FONCTIONNELS IDENTIQUES

DESCRIPTION

5

Domaine technique

La présente invention concerne un procédé de reconfiguration applicable à un réseau d'éléments fonctionnels identiques.

10

Le domaine de l'invention est notamment celui des calculateurs parallèles formant un ensemble de processeurs interconnectés, en matrice, en anneau ou en hypercube, et celui des corrélateurs 1D ou 2D, des architectures de matrice de bloc de calculs de la transformée de Fourier rapide (FFT). Deux exemples du premier type d'applications sont ainsi donnés dans le document référencé [1] en fin de description.

15

Etat de la technique antérieure

20

Les possibilités croissantes de la technologie micro-électronique, de même que l'évolution des architectures multiprocesseurs, conduisent à des calculateurs de plus en plus complexes tant en termes d'éléments qui les composent (portes électroniques, mémoires, registres, processeurs...), qu'en termes de complexité des logiciels utilisés.

25

Les concepteurs de tels calculateurs à structure parallèle ou massivement parallèle très intégrée doivent prendre en compte deux exigences antagonistes :

30

1- Des machines à structure parallèle ou massivement parallèle sont sujettes à des défauts dus au nombre très important de processeurs et à la complexité de ceux-ci, ce qui induit un mauvais

rendement de fabrication et des fautes graves en fonctionnement normal.

2- Avec des technologies très avancées et des systèmes très intégrés, de plus en plus de processeurs  
5 peuvent être incorporés dans un circuit intégré spécifique (en anglais ASIC ou « Application Specific Integrated Circuit »), un module multipuce (en anglais MCM ou « Multichip Module ») ou une carte. Dans de tels systèmes le principal inconvénient est celui d'une  
10 bande passante, c'est-à-dire une quantité d'informations que l'on peut passer, limitée.

Pour répondre à la première de ces exigences, une solution de l'art connu consiste à remplacer les processeurs fautifs par des processeurs supplémentaires  
15 identiques aux autres du point de vue fonctionnel. Une telle solution, permettant une « tolérance aux fautes structurelle », s'efforce alors à garantir le bon fonctionnement, et notamment la cohérence du réseau, pour ne pas pénaliser l'architecture. Elle implique une  
20 reconfiguration consistant dans le remplacement d'éléments fautifs par des éléments supplémentaires disponibles grâce à des éléments d'interconnexion et à des éléments d'intercommunication.

Dans un réseau de type 2D (ou en deux  
25 dimensions), les solutions proposées pour assurer la tolérance aux fautes consistent :

- A ajouter au système autant de lignes de processeurs qu'on veut tolérer de fautes. Cette solution est très simple et nécessite peu  
30 d'interconnexions supplémentaires, la reconfiguration s'effectuant par une simple dérivation (en anglais « Bypass ») des lignes où un processeur est fautif. Les pertes en performance sont alors limitées. Par contre, l'utilisation des processeurs supplémentaires est très  
35 mauvaise puisqu'il faut une ligne pour tolérer une

faute, et qu'en cas de faute d'une dérivation le système complet est mis en défaut.

• Ou, à ajouter des commutateurs, des processeurs supplémentaires, et des connexions au  
5 réseau normal.

Comme décrit dans le document référencé [2], un réseau correspondant à ce second type de solution et appelé « m-Track, n-Spare » (ou « m chemins, n  
10 supplémentaires ») se compose de processeurs 10, de commutateurs et de connexions supplémentaires. Deux sortes de commutateurs sont utilisés : les commutateurs 11 reliant les processeurs aux connexions (PT pour « Processor to Track ») et les commutateurs 12 reliant  
15 les connexions entre elles (TT pour « Track-to-Track »). Toutes les liaisons du réseau sont bidirectionnelles, c'est-à-dire que les communications peuvent aller dans les deux sens dans chaque connexion. Des processeurs supplémentaires 13 (sp) sont  
20 positionnés aux frontières du réseau. Ces processeurs, pour que la méthode de reconfiguration soit efficace, doivent être placés au moins sur une ligne et une colonne du réseau.

La figure 1 illustre un exemple de réseau de  
25 type « 2-Track, 1-Spare ». Des processeurs supplémentaires 13 (sp) sont placés tout autour du réseau et servent à reconfigurer le réseau en cas de faute des processeurs utiles 10. Des commutateurs 11, 12 sont utilisés pour permettre la reconfiguration. Le  
30 réseau comprend ici 200 % de connexions supplémentaires par rapport aux connexions dites fonctionnelles.

L'homme de métier peut alors utiliser une méthode de reconfiguration, basée sur des codes correcteurs d'erreur, se décomposant en deux phases :

- la première consiste, pour chaque processeur fautif, à trouver un chemin de compensation qui contourne le processeur fautif et le remplace par un processeur supplémentaire ;

5           - en cas de réussite de la première phase, chaque processeur est, le long du chemin de compensation, remplacé par son plus proche voisin, en allant ainsi, par des changements en cascade, jusqu'à un processeur supplémentaire. La grille fonctionnelle  
10 est ainsi conservée.

La méthode de reconfiguration considérée ci-dessus possède deux désavantages majeurs :

15           - elle n'est pas adaptée au cas des liaisons monodirectionnelles ; dans ce cas en effet, deux bus de connexion, un aller et un retour, sont nécessaires pour connecter le processeur considéré à chacun de ses voisins.

20           - le nombre d'éléments de commutation traversés entre deux processeurs voisins logiquement n'est pas déterministe, ce qui rend la méthode inefficace pour traiter le cas des communications synchrones entre processeurs.

25           Pour résoudre ces inconvénients, le procédé de l'invention a pour objectif de résoudre le problème de la tolérance aux fautes dans une architecture massivement parallèle où les éléments fonctionnels sont très fortement couplés, en proposant une solution répondant aux contraintes suivantes :

30           - obtenir un réseau tolérant aux fautes avec des connexions pouvant être monodirectionnelles ;  
              - limiter fortement les supports de communication non fonctionnels du réseau ;  
              - limiter le temps de communication entre  
35 éléments fonctionnels en limitant le nombre de

commutateurs de reconfiguration traversés entre deux éléments fonctionnels ;

- autoriser une plus grande souplesse dans le choix du nombre d'éléments fonctionnels supplémentaires ;

- disposer d'une solution capable de supporter des topologies différentes, notamment en matrice, en anneau, ou en hypercube.

#### 10 Exposé de l'invention

La présente invention concerne un procédé de reconfiguration d'un réseau d'éléments fonctionnels identiques parallèles avec tolérance aux fautes de ces éléments fonctionnels, le réseau comportant lesdits  
15 éléments fonctionnels de base, des éléments fonctionnels supplémentaires, des éléments d'interconnexion de ces éléments fonctionnels et une unité de contrôle, ledit procédé comprenant :

- une étape de placement des éléments  
20 fonctionnels du réseau logique ;

- une étape de routage consistant en une programmation des éléments d'interconnexion sur le réseau physique en choisissant le nombre maximal de ces éléments d'interconnexion pouvant être traversés entre  
25 deux éléments fonctionnels voisins utilisant un algorithme de recherche du plus court chemin.

Dans ce procédé de l'invention :

- on détermine un ordre de placement des éléments fonctionnels du réseau qui est constitué d'un  
30 élément fonctionnel d'origine et d'une suite d'éléments fonctionnels englobant tous les éléments fonctionnels ;

- pour chacun des éléments fonctionnels on essaie de le placer en commençant par sa place logique puis, si nécessaire en cas d'échec, en chacune des  
35 places situées à une distance 1, à une distance 2... de

la place logique de cet élément fonctionnel, avec comme restriction qu'une et une seule place supplémentaire doit être utilisée par rapport aux places possibles des éléments fonctionnels précédemment placés, en arrêtant  
5 lorsque  $S+1$  places ont été essayées,  $S$  étant le nombre d'éléments fonctionnels supplémentaires ;

- si  $S+1$  places ont été essayées sans succès, on revient à l'élément fonctionnel précédent dans l'ordre de placement et on passe à la place suivante  
10 pour cet élément fonctionnel ;

- éventuellement lorsque tous les éléments fonctionnels sont placés, on vérifie pour chaque dimension du réseau que l'ordre logique est respecté pour chaque couple d'éléments fonctionnels, si ce n'est  
15 pas le cas on inverse les places de ces éléments fonctionnels.

Dans un mode de réalisation, l'ordre de placement est défini ainsi : l'élément fonctionnel d'origine est l'élément fonctionnel en haut à gauche,  
20 les éléments fonctionnels suivants sont les éléments fonctionnels à droite et en bas de l'élément fonctionnel d'origine, et ainsi de suite en respectant la diagonale.

On peut également découper le réseau en blocs et définir un ordre de placement des blocs en partant d'un bloc d'origine et en parcourant tous les blocs de bloc voisin en bloc voisin, les places pour les éléments fonctionnels d'un bloc ne comportant pas de place logique des éléments fonctionnels des blocs  
30 placés précédemment.

Avantageusement ce procédé de l'invention peut être mis en oeuvre soit de manière statique, soit de manière dynamique en cours de fonctionnement.

Il paraît important de préciser les deux points  
35 suivants :



- Le procédé de l'invention permet d'inclure facilement des possibilités de tolérance aux fautes au niveau des interconnexions et des éléments d'interconnexion.

- 5       • Le procédé de l'invention est à contre-pied des procédés antécédents dans le sens où les caractéristiques du réseau que sont le nombre de liens supplémentaires et l'organisation des éléments d'interconnexions ne sont pas imposés par le procédé,  
10       ce qui permet une plus grande souplesse dans le choix de l'architecture tolérante aux fautes.

#### Brève description des dessins

- 15       La figure 1 illustre un réseau de processeurs de l'art connu.

Les figures 2A et 2B illustrent un exemple de réseau obtenu par le procédé de l'invention.

La figure 3 illustre la notion de distance dans le réseau illustré sur la figure 2B.

- 20       La figure 4 illustre un organigramme du procédé de l'invention.

Les figures 5A et 5B illustrent un exemple de non cohérence du procédé de l'invention après le placement des éléments fonctionnels.

- 25       Les figures 6A, 6B et 6C illustrent un exemple d'algorithme de placement déduit directement du procédé de l'invention.

La figure 7 illustre un algorithme par bloc déduit du procédé de l'invention.

- 30       Les figures 8A et 8B illustrent des exemples de reconfiguration d'un réseau d'éléments fonctionnels dans une topologie de matrice.

La figure 9 illustre la composition d'un réseau de processeurs obtenu par le procédé de l'invention.

La figure 10 illustre les entrées et sorties d'un élément d'interconnexion interne au réseau de la figure 9.

Les figures 11A à 11H illustrent les entrées et sorties des éléments d'interconnexion aux frontières du réseau de la figure 9.

La figure 12 illustre le réseau de la figure 9, avec les liaisons entre processeurs et éléments d'interconnexion.

Les figures 13A à 13C illustrent les communications minimales dans le réseau de la figure 9.

Les figures 14A et 14B illustrent la réalisation pratique d'un élément d'interconnexion interne au réseau de la figure 9 à partir d'un multiplexeur 6 vers 1.

La figure 15 illustre un exemple de mise en oeuvre du réseau de la figure 9.

Les figures 16 à 19 illustre plusieurs exemples de réseau de processeurs de type hypercube, à savoir un hypercube de dimension 3 sur la figure 16, un hypercube de structure régulière virtuelle avec quatre processeurs supplémentaires sur la figure 17, un exemple de reconfiguration d'hypercube comprenant trois processeurs fautifs déduits du procédé de l'invention sur la figure 18, et un hypercube de dimension 4 comprenant une ligne de processeurs supplémentaires sur la figure 19.

La figure 20 illustre l'architecture d'un corrélateur 2D.

La figure 21 illustre un exemple d'utilisation du procédé de l'invention dans la structure matricielle de l'architecture illustrée sur la figure 20.

Exposé détaillé de modes de réalisation

La présente invention concerne un procédé de reconfiguration d'un réseau d'éléments fonctionnels identiques.

5

**Procédé de reconfiguration**

Dans la structure « m-Track, n-Spare » de l'art connu, illustrée sur la figure 1, le procédé de reconfiguration consiste à rechercher un chemin appelé  
10 « chemin de compensation » pour remplacer un élément fonctionnel élémentaire fautif par un élément fonctionnel supplémentaire. Ensuite en partant de cet élément fonctionnel élémentaire fautif, chaque élément fonctionnel est remplacé par l'élément fonctionnel  
15 suivant disponible, le plus proche sur le chemin. Mais ce procédé n'est vraiment efficace que lorsque des éléments fonctionnels supplémentaires existent dans au moins une ligne et une colonne, ce qui n'est pas possible avec une ligne d'éléments fonctionnels  
20 supplémentaires et deux chemins monodirectionnels. De plus un tel procédé ne permet pas de réduire le nombre de commutateurs dans les chemins de communication.

Par contre le procédé de reconfiguration de l'invention est basé sur une technique de placement  
25 décorrélée du routage.

Le placement consiste en un placement physique d'éléments fonctionnels voisins logiques. La place logique d'un élément fonctionnel est la place que cet élément fonctionnel occupe dans le réseau sans élément  
30 fonctionnel fautif ; la place physique d'un élément fonctionnel est la place occupée par cet élément fonctionnel après application du procédé lorsqu'une faute a été détectée. Le placement est sûr d'aboutir à condition que le nombre d'éléments fonctionnels fautifs

soit inférieur ou égal au nombre d'éléments fonctionnels supplémentaires.

Le routage consiste en une programmation des éléments d'interconnexion. Le nombre de commutateurs  
5 qui peut être traversé entre deux éléments fonctionnels voisins est choisi. Ce nombre est limité : trois ou quatre commutateurs conduisent à un bon rendement de reconfiguration. L'algorithme de routage peut ainsi  
10 essayer le plus grand nombre de possibilités de routage dans un temps très court avec un algorithme approprié.

Dans les systèmes de l'art antérieur, la programmation des éléments de commutation est assurée dès lors qu'une place de remplacement est trouvée pour  
chaque élément fonctionnel fautif en suivant un  
15 algorithme précis. Les algorithmes de placement des éléments fonctionnels sur la grille physique et de routage des éléments de commutation sont indissociables.

Dans le procédé de l'invention, seul le  
20 placement des éléments fonctionnels est original. Le routage des éléments d'interconnexion est effectué par un algorithme de recherche du plus court chemin connu de l'homme de métier, cet algorithme étant utilisable  
25 dans l'invention grâce aux restrictions faites sur la longueur des chemins et, notamment, sur le nombre d'éléments d'interconnexions traversés.

• Etape de placement

Sur les figures 2 et 3 est illustré  
30 schématiquement un réseau d'éléments fonctionnels élémentaires identiques 30, chaque élément fonctionnel de base étant logiquement connecté avec un nombre identique d'éléments fonctionnels voisins du même réseau, à l'exception des éléments fonctionnels situés  
35 sur les bords du réseau, et d'éléments fonctionnels

supplémentaires 31 prévus chacun pour remplacer un des éléments fonctionnels élémentaires 30 en cas de faute de celui-ci.

La figure 2A illustre un élément fonctionnel du réseau avec ses quatre voisins logiques. La figure 2B illustre un exemple de réseau, les éléments fonctionnels supplémentaires 31 étant indiqués en grisé, les liaisons 32 étant les liaisons logiques.

La figure 3 illustre la notion de distance entre deux éléments fonctionnels : celle-ci est le nombre minimum de connexions nécessaires pour aller d'un élément fonctionnel à un autre. Les deux éléments fonctionnels 35 cerclés de noir sont à une distance de cinq l'un de l'autre, deux éléments fonctionnels voisins étant à une distance unité.

Le procédé de l'invention a pour objet de placer les éléments fonctionnels dans le réseau, de manière à minimiser la somme des distances entre tous les éléments fonctionnels voisins. Ce procédé présente les caractéristiques suivantes :

- Critère 1 : pour choisir les places des éléments fonctionnels afin d'assurer une distance minimale entre éléments fonctionnels voisins, on effectue un placement autour de la position de l'élément fonctionnel d'origine en utilisant les éléments fonctionnels à une distance 0 puis 1, puis 2, puis 3 ... de la place logique de cet élément fonctionnel.

- Critère 2 : pour s'assurer qu'un placement est possible pour tous les éléments fonctionnels du réseau, quel que soit le nombre d'éléments fonctionnels fautifs ou non validés, on définit tout d'abord un ordre de placement des éléments fonctionnels qui est constitué d'un élément fonctionnel d'origine et d'une suite d'éléments fonctionnels englobant tous les

éléments fonctionnels. Chaque élément fonctionnel nouveau est choisi parmi les éléments fonctionnels voisins, logiquement des éléments fonctionnels précédents. Puis, en suivant cet ordre allant de  
5 l'élément fonctionnel d'origine au dernier élément fonctionnel, on définit  $S+1$  places possibles,  $S$  étant le nombre d'éléments fonctionnels supplémentaires, et l'ordre des places de chaque élément fonctionnel, avec  
10 comme restriction qu'une et une seule place supplémentaire doit être utilisée par rapport aux places possibles des éléments fonctionnels précédemment placés.

• Critère 3 : pour assurer la cohérence globale du réseau, on met éventuellement en place en fin de  
15 placement un mécanisme de respect de la cohérence qui consiste en une détection des inversions logiques de chaque couple des éléments fonctionnels voisins logiquement dans chaque dimension et en une inversion des places des deux éléments fonctionnels lorsqu'une  
20 telle inversion est détectée.

Pour remplir ces différents critères, le procédé de l'invention comprend les étapes suivantes :

- on détermine un ordre de placement des  
25 éléments fonctionnels comme défini ci-dessus au critère 2 ;

- pour chacun des éléments fonctionnels, on essaie de le placer en commençant par sa place logique, puis si nécessaire en cas d'échec (élément fonctionnel  
30 fautif ou place occupée par un autre élément fonctionnel) en chacune des places situées à une distance 1, à une distance 2 etc..., tout en respectant la loi énoncée dans le critère 2 : c'est-à-dire qu'une et une seule place supplémentaire doit être utilisée  
35 par rapport aux places possibles des éléments

fonctionnels précédemment placés. Si la place ne respecte pas cette loi, on essaie une autre place, qui peut être à une distance plus grande si nécessaire. On arrête lorsque  $S+1$  places ont été essayées ;

5           - si  $S+1$  places ont été essayées sans succès, on remonte à l'élément fonctionnel précédent dans l'ordre de placement et on passe à la place suivante pour cet élément fonctionnel ;

10           - lorsque les éléments fonctionnels sont tous placés, on vérifie pour chaque dimension du système, par exemple en ligne et en colonne pour un tableau d'éléments fonctionnels, que l'ordre logique est respecté pour chaque couple d'éléments fonctionnels. Si ce n'est pas le cas, on inverse les places de ces  
15 éléments fonctionnels.

L'organigramme illustré sur la figure 4 résume les trois dernières étapes de ce procédé.

Les figures 5A et 5B illustrent un exemple de non cohérence dans le réseau après le placement des  
20 éléments fonctionnels. En effet sur la figure 5A les deux éléments fonctionnels  $P_{ij}$  et  $P_{ij+1}$  sont voisins logiques et  $P_{ij}$  se situe avant  $P_{ij+1}$ . Sur la figure 5B l'élément fonctionnel  $P_{ij}$  se trouve placé après l'élément fonctionnel  $P_{ij+1}$  contrairement à son ordre  
25 logique, la flèche 36 illustrant l'ordre de placement, les endroits marqués d'une croix indiquant des places occupées par des éléments fonctionnels fautifs.




Cet algorithme de placement est certain d'aboutir à une solution du moment que le nombre  
30 d'éléments fautifs est inférieur ou égal au nombre d'éléments fonctionnels supplémentaires.

Deux types d'algorithmes de placement peuvent être induits du procédé de l'invention.

Le premier type d'algorithme consiste en une utilisation directe du procédé de l'invention et est illustré par la figure 6 avec une structure de 4x4 éléments fonctionnels élémentaires et 4 éléments fonctionnels supplémentaires.

La figure 6A illustre le réseau logique, les voisins logiques d'un élément fonctionnel étant aux quatre points cardinaux de celui-ci. La figure 6B illustre l'ordre de placement des éléments fonctionnels et la figure 6C illustre les places possibles de ces éléments fonctionnels, les places à une distance de 1 de la place logique de l'élément fonctionnel étant essayées avant les places à une distance de 2, etc.

Sur cette figure 6C on utilise les représentations suivantes :

-  : place logique de l'élément fonctionnel
-  : place nouvelle de l'élément fonctionnel
-  : place possible de l'élément fonctionnel

L'ordre de placement est défini ainsi : l'élément fonctionnel d'origine est l'élément fonctionnel en haut à gauche  $P_{0,0}$ . Les éléments fonctionnels suivants sont les éléments fonctionnels à droite  $P_{0,1}$  et en bas  $P_{1,0}$  de l'élément fonctionnel d'origine  $P_{0,0}$ , et ainsi de suite en respectant la diagonale  $P_{1,0}$  ;  $P_{0,2}$  ;  $P_{1,1}$ ... (voir figure 6B). Cette solution, qui est une des solutions possibles pour le choix de l'ordre de placement, a l'avantage de permettre de bien respecter le critère 1 dans la suite, et donc de fournir un placement qui permet un bon routage. A partir de cet ordre de placement, les places de chaque élément fonctionnel sont choisies parmi les cinq places définies sur la figure 6C, leur ordre de sélection respectant le critère 1. On note que, pour chaque élément fonctionnel, le critère 2 est respecté.



Le deuxième type d'algorithme de placement est une application du procédé de l'invention en découpant le réseau en blocs d'éléments fonctionnels. Après avoir défini un ordre de placement des blocs, en partant d'un  
5 bloc d'origine on parcourt tous les blocs, de bloc voisin en bloc voisin. Si un tel algorithme est appliqué à chaque bloc en tenant compte d'une règle de placement telle que les places possibles pour les éléments fonctionnels d'un bloc ne comportent pas de  
10 place logique des éléments fonctionnels des blocs placés précédemment, le placement est sûr. La figure 7 illustre ce deuxième type d'algorithme en considérant un bloc formé d'une ligne de quatre éléments fonctionnels. Les lignes d'éléments fonctionnels sont  
15 alors placées en partant de la ligne du haut pour aller à la ligne du bas. Pour chaque ligne on utilise des places de cette ligne, à laquelle appartiennent les éléments fonctionnels logiques, et de la ligne immédiatement inférieure, ce qui permet de respecter la  
20 règle ci-dessus. Pour chaque ligne, l'ordre de placement est défini par l'élément fonctionnel d'origine situé à l'extrême gauche et puis par les éléments fonctionnels suivants à droite. Les cinq places possibles sont alors définies comme le montre la  
25 figure 7. Le même algorithme de placement est utilisé pour chaque ligne. La vérification de cohérence, inutile dans l'exemple considéré, ne doit alors s'effectuer que sur les lignes. L'avantage de cette variante du procédé de l'invention réside dans la  
30 rapidité de l'algorithme (moins de retour en arrière, vérification de cohérence plus courte) associée à un bon placement lorsque les blocs sont bien dimensionnés par rapport aux éléments supplémentaires, ce qui est le cas de l'exemple considéré.

La figure 8A illustre un exemple de configuration du réseau dans une topologie de matrice, sans élément fonctionnel fautif, pour des connexions ouest-est et nord-sud. La figure 8B illustre un exemple  
5 de reconfiguration du réseau dans le cas d'un élément fonctionnel fautif, représenté avec des hachures.

On remarque que le passage par les éléments de commutation est obligatoire même en l'absence d'éléments fautifs, ce qui donne une certaine cohérence  
10 pour l'ensemble du système.

• Etape de routage

Cette étape est effectuée à l'aide d'algorithmes de recherche du plus court chemin et de  
15 recherche en profondeur connus de l'homme du métier.

De façon à rester cohérent avec les objectifs fixés en introduction, le nombre d'éléments d'interconnexion entre éléments fonctionnels voisins logiques est limité à un petit nombre, typiquement 3 ou  
20 4. Le nombre de chemins possibles pour aller d'un élément fonctionnel à un élément fonctionnel voisin est connu et assez faible, moins d'une dizaine en moyenne. On suppose que tous ces chemins sont connus mais ils peuvent également être calculés par un algorithme de  
25 recherche du plus court chemin. Un exemple simple de l'algorithme de routage en recherche en profondeur des éléments d'interconnexion est donné ci-dessous :

*Initialiser i et j à 0*

30 *Point 0 : Pour le couple  $C_j$  d'éléments fonctionnels voisins :*

*Point 1 : Si le chemin  $C_j(i)$  existe :*

*essayer le routage de  $C_j$  avec ce chemin*

*Si il y a conflit sur un élément d'interconnexion*

*incrémenter i et retour au Point 1*

35 *Sinon,*

17

*Si il existe d'autres couples C d'éléments fonctionnels :  
incrémenter j et retour au Point 0*

*Sinon,*

*routage réussi, fin*

5       *Sinon,*

*Si il existe un couple  $C_k$  d'éléments fonctionnels dont le routage rend  
le routage de  $C_j$  impossible*

*Supprimer tous les routages entre  $C_k$  et  $C_j$*

*Incrémenter le chemin i de  $C_k$  et retour au point 0*

10                       *Sinon*

*Routage impossible*

*Fin*

15       Ceci n'est qu'un exemple de routage connu de  
l'homme du métier permettant de donner un exemple de  
réalisation du procédé de reconfiguration de  
l'invention.

20       On va considérer ci-dessous successivement des  
exemples de réalisation de réseaux auxquels s'applique  
le procédé de l'invention, dans lesquels les éléments  
fonctionnels sont des processeurs.

#### Exemple d'un réseau de processeurs parallèles

25       Un réseau de processeurs auquel s'applique  
l'invention, comme illustré sur la figure 9, est basé  
sur une matrice de processeurs élémentaires quelconques  
P à deux entrées et deux sorties, reliés entre eux par  
des éléments d'interconnexion  $C_m$ . Le réseau est composé  
30 d'un ensemble de lignes d'éléments interconnexion 20 et  
de lignes de processeurs 21 disposées alternativement.  
Chaque processeur P est entouré de quatre éléments  
d'interconnexion  $C_m$ . Les éléments de bord du réseau  
sont des éléments d'interconnexion  $C_m$ . Les lignes de  
35 processeurs sont des lignes de processeurs élémentaires

P et la dernière ligne de processeurs est une ligne de processeurs élémentaires supplémentaires Sp. Une telle caractéristique permet d'obtenir une plus grande souplesse dans le choix du nombre de processeurs supplémentaires contrairement au dispositif de l'art antérieur illustré sur la figure 1, dans lequel avec une ligne et une colonne de processeurs supplémentaires la proportion de processeurs supplémentaires varie en fonction du produit du nombre de lignes par le nombre de colonnes.

Les éléments d'interconnexion Cm permettent de réaliser les liaisons, par commutation du réseau, entre les différents processeurs P. Un élément Cm de ce type est illustré sur la figure 10, avec ses différentes entrées et sorties. Il possède six entrées et six sorties monodirectionnelles reliées respectivement aux entrées des processeurs sud-ouest et nord-est, aux sorties des processeurs nord-ouest et sud-est, et aux quatre entrées et quatre sorties des éléments d'interconnexion situés au nord, à l'est, au sud et à l'ouest. Un élément ainsi représenté correspond à un élément du centre du réseau.

Comme illustré sur les figures 11A à 11H, les éléments d'interconnexion des bords du réseau possèdent moins d'entrées et/ou moins de sorties selon leur emplacement.

On a ainsi :

- Cm nord-ouest : figure 11A ;
- Cm nord : figure 11B ;
- Cm nord-est : figure 11C ;
- Cm ouest : figure 11D ;
- Cm sud-ouest : figure 11E ;
- Cm sud : figure 11F ;
- Cm est : figure 11G ;
- Cm sud-est : figure 11H.

Chaque sortie d'un élément d'interconnexion Cm peut être reliée à n'importe quelle entrée. Il est possible de changer de façon dynamique la manière (appelée configuration) de réaliser ces liaisons au  
5 moyen, par exemple, de registres de configuration associés à une commande de configuration.

Comme illustré sur la figure 12, dans ce réseau chaque processeur P est relié à quatre éléments d'interconnexion Cm, deux de ces éléments Cm  
10 diamétralement opposés étant connectés aux deux entrées du processeur et les deux autres éléments Cm, également diamétralement opposés, étant connectés aux deux sorties du processeur. Ces éléments d'interconnexion Cm sont de plus reliés entre eux par des liaisons  
15 horizontales et verticales.

Chaque communication entre processeurs P se fait par l'intermédiaire d'éléments d'interconnexion Cm. On obtient ainsi 50 % de connexions internes supplémentaires par rapport aux connexions  
20 « fonctionnelles » et des connexions supplémentaires avec l'extérieur réduites aux connexions des processeurs supplémentaires Sp.

Les communications supportées par le réseau sont au minimum celles décrites sur la figure 13 : des  
25 communications sud vers nord et est vers ouest étant illustrées sur la figure 13A ; des communications mélangées étant illustrées sur la figure 13B ; des communications est-ouest étant illustrées sur la figure 13C ; Chaque communication illustrée sur ces figures  
30 ayant une communication « duale ».

D'autres communications peuvent bien entendu être envisagées.

Dans le procédé de tolérance aux fautes de ce réseau, les processeurs supplémentaires Sp de la  
35 dernière ligne sont utilisés pour remplacer des

processeurs élémentaires P défaillants dans les autres lignes.

Exemple d'un mode de réalisation d'un tel réseau de processeurs

5 Dans ce mode de réalisation le réseau de processeurs est constitué d'une matrice de neuf processeurs et de seize éléments d'interconnexion. Chaque processeur P est un simple élément de calcul  
10 intégrant une unité logique et arithmétique, un ensemble de registres de travail et une logique de test permettant d'effectuer le test automatique du processeur (test dit « intégré »). Lors de l'exécution  
15 d'un programme de test, cette logique émet un signal de test d'intégrité  $t_i$  indiquant si le processeur est défaillant. Le processeur P n'est pas décrit ici car il est bien connu de l'homme de métier.

Un élément d'interconnexion est du type de celui illustré sur la figure 10, les éléments d'inter-  
20 connexion des figures 11A à 11H n'étant que des dérivés simplifiés de celui-ci. Cet élément d'interconnexion, illustré sur la figure 14A, est composé de six multiplexeurs de données de six entrées vers une sortie. Chacun de ces multiplexeurs est commandé par  
25 trois fils de sélection de la voie de sortie afin de permettre de relier chacune des sorties de l'élément d'interconnexion à n'importe quelle entrée. La largeur du champ de donnée de chacune des voies est ici de 4 bits. Les sélections des six multiplexeurs sont  
30 mémorisées dans deux registres 40 de 18 bits chacun (3 bits de sélection pour chaque multiplexeur) à l'intérieur de l'élément d'interconnexion. Ces registres 40 ont une double fonctionnalité puisqu'ils peuvent fonctionner en registres normaux et en  
35 registres à décalage lors du chargement. Ces deux

registres de configuration 40 permettent à deux configurations différentes du réseau de cohabiter dynamiquement.

La figure 14B illustre le détail du contrôle d'un multiplexeur, la zone 41 étant la zone de commande de ce multiplexeur dans un des registres 40.

Le chargement des deux registres de reconfiguration 40 s'effectue en série grâce aux signaux nw\_sw et confsw\_in. Le signal nw\_sw (« not-write switch ») autorise l'écriture du signal de configuration confsw\_in (« configuration switch input ») dans la première bascule d'un registre 40 lorsqu'il est à l'état bas et interdit cette écriture à l'état haut. Le chargement des configurations est synchrone et obéit donc à l'horloge globale du système clk. Lorsque l'écriture de confsw\_in est autorisée dans la première bascule d'un des registres 40, le contenu de cette bascule est chargé dans la deuxième bascule et ainsi de suite jusqu'à la dernière bascule, dont le contenu constitue le signal confsw\_in de l'élément d'interconnexion suivant. Le signal sel\_sw12 (« selection switch configuration 1/2 ») permet de sélectionner, lors du chargement, le registre où charger les configurations et également de sélectionner la configuration des éléments d'interconnexion de manière dynamique, c'est-à-dire de faire varier la configuration des éléments d'interconnexion lors du déroulement d'un programme, à chaque coup d'horloge. Un élément d'interconnexion est ainsi composé de 24 bits de données en entrée, de 24 bits de données en sortie, de deux signaux de chargement de configuration et d'un signal de changement dynamique de configuration (en cours de fonctionnement normal) entre les configurations chargées dans les registres internes des éléments d'interconnexion.

Les processeurs P et les éléments d'interconnexion Cm sont connectés comme illustré sur la figure 15. L'ensemble forme la matrice de processeurs qui est commandée par une unité de contrôle UC. Cette unité de contrôle UC envoie les instructions aux processeurs permettant d'effectuer les opérations et contrôle les éléments d'interconnexion à l'aide des trois signaux confsw\_in, nw\_sw et sel\_sw12 précédemment cités. L'unité de contrôle permet ainsi le déroulement de programmes normaux ainsi que de programmes de test des processeurs. L'unité de contrôle effectue de façon périodique le test des processeurs qui retournent à un contrôleur leur état par l'intermédiaire du signal t\_i. Le diagnostic de la matrice de processeurs est alors effectué par le contrôleur grâce à l'interprétation des signaux t\_i de tous les processeurs. Le contrôleur peut effectuer le calcul des nouvelles configurations des éléments d'interconnexion correspondant à l'état de la matrice de processeurs. Il informe alors l'unité de contrôle de ces nouvelles configurations. L'unité de contrôle envoie alors les informations permettant de configurer les différents éléments d'interconnexion, puis envoie les commandes d'exécution des programmes de calculs sur les processeurs actifs.

La matrice de processeurs ainsi que les éléments d'interconnexion peuvent être intégrés dans un circuit intégré spécifique (ASIC). L'unité de contrôle peut être intégrée dans des composants de logique reconfigurable (FPGA pour « Field Programmable Gate Array »), ceci pour une plus grande souplesse d'utilisation. Le contrôleur peut être réalisé à l'aide d'un ordinateur, d'un composant FPGA ou même d'un module dédié.

Dans la description précédente, on a envisagé une commande dynamique séparée de chacun des éléments



d'interconnexion par l'unité de contrôle ; on pourrait, sans sortir du cadre de l'invention, effectuer ladite commande de façon statique, sans passer par l'unité de contrôle, par exemple par le biais d'un processeur  
5 extérieur au système.

#### Exemple d'un réseau d'hypercubes

Un grand nombre d'architectures qui possèdent la règle de régularité, ou que l'on peut ramener à une  
10 structure régulière telle que définie précédemment peuvent bénéficier du procédé de placement de l'invention.

Un exemple de réseau régulier est l'hypercube à n dimensions. Dans ce réseau de processeurs, chaque  
15 processeur est relié directement à n autres processeurs en respectant une règle sur la numérotation binaire des processeurs (chaque processeur est relié aux processeurs dont le mot binaire est adjacent, i.e. dont le numéro binaire ne diffère que d'un seul bit). Un  
20 exemple d'hypercube de dimension 3 et comprenant donc 16 processeurs est donné sur la figure 16.

Cette structure, qui est régulière lorsqu'elle est représentée dans l'espace, perd sa régularité sur le papier par un effet de perspective. Mais elle perd  
25 également sa régularité lorsqu'elle est réalisée sur une carte électronique qui n'accepte que des composants sur sa surface. Afin de prendre en compte ce point, le réseau présenté sur la figure 17 montre les liens réels, les liens virtuels qui permettent de rendre la  
30 structure régulière en deux dimensions, et les processeurs supplémentaires  $S_p$  avec les liens (virtuels) les reliant à la structure principale.

On se ramène ainsi à une structure 2-D régulière comprenant quatre processeurs  
35 supplémentaires. La notion de distance qui définit la

mesure pour le placement « au plus près » des processeurs est une distance calculée par rapport à cette structure. Dans ces conditions, les algorithmes de placement sont les mêmes que ceux utilisés pour le  
5 maillage 2-D, la réalisation physique du réseau primant sur sa fonction logique.

La figure 18 montre alors un exemple de reconfiguration obtenue avec trois processeurs fautifs. les liens en traits pleins sont les liens physiques  
10 qu'il faut réaliser de façon à conserver la structure d'hypercube.

Enfin, la figure 19 montre une extension du principe de liens virtuels pour un réseau hypercube de dimension 4 comprenant une ligne de processeurs  
15 supplémentaires. L'algorithme de placement utilisé est alors le même que celui utilisé pour la structure maillage 2-D comprenant 8 lignes x 4 colonnes et une ligne de processeurs supplémentaires.

Le procédé de reconfiguration ne restreint pas  
20 le choix de la structure tolérante aux fautes sur laquelle peut être réalisée une telle structure, qui peut donc être tout à fait arbitraire.

Le procédé de l'invention peut être également utilisé en vue d'obtenir une structure tolérante aux  
25 fautes, dans des architectures des systèmes électroniques numériques utilisant un grand nombre d'éléments fonctionnels identiques interconnectés en ligne, en matrice ou en hypercube. La seule contrainte est d'assurer que chaque élément fonctionnel soit  
30 testable soit de manière locale, soit de manière globale afin que l'algorithme de placement/routage puisse avoir la connaissance des éléments fonctionnels défaillants.

Il est difficile d'identifier toutes les  
35 architectures électroniques capables de tirer profit de

l'invention. On peut toutefois présenter quelques exemples.

• Corrélateur 1D ou 2D

5 Il s'agit de l'association en ligne ou en  
matrice d'éléments fonctionnels dont le rôle est  
d'effectuer une multiplication des entrées suivie d'une  
addition du résultat de cette multiplication avec le  
résultat précédent. On parle alors de Multiplieur  
10 Accumulateur (MAC), comme illustré sur la figure 20.  
Les données « entrée ligne » sont corrélées avec les  
« entrée colonne » grâce à des cellules Multiplieur  
Accumulateur (MAC) organisées en tableau, toutes  
identiques. Il est alors facile de mettre en oeuvre le  
15 procédé de l'invention, comme illustré sur la figure  
21. La dernière ligne de la matrice constitue la ligne  
de « MAC spare ».

20 • Architecture de matrice de blocs de calculs de la  
transformée de Fourier rapide (FFT)

Cette architecture est également organisée  
autour d'un assemblage en matrice d'éléments  
fonctionnels de type MAC avec un schéma  
d'interconnexion plus complexe, en multi-étages  
25 (papillon FFT) mais toujours avec deux entrées et deux  
sorties par MAC. L'ajout d'une ligne supplémentaire  
d'éléments fonctionnels ainsi que des éléments de  
commutation permet de tolérer des défaillances sur la  
structure logique complète.

30 Ces deux derniers exemples montrent que le  
procédé de l'invention est utilisable sur des  
architectures électroniques numériques interconnectant  
un ensemble d'éléments fonctionnels identiques, autres  
que des processeurs. Les structures très régulières des  
35 composants FPGA (« Field Programmable Gate Array »

interconnectant en matrice également des blocs de logique reconfigurable (à base de mémoire RAM par exemple) peuvent également tirer parti du procédé de l'invention.

- 5        Enfin, le domaine des télécommunications doit également tirer profit du procédé de l'invention. En effet, dans les routeurs de messages par exemple, des éléments fonctionnels identiques sont interconnectés pour former le système complet.

REFERENCES

- 5 [1] « Architectures électroniques » (CEA Technologies  
n° 29 « Le traitement du signal et de l'image »,  
pages 3-5)
- [2] « Handwave-Efficient and Highly-Reconfigurable 4-  
and 2-Track fault Tolerant Designs For Mesh-  
Connected Multicomputers » de Nihar R. Mahapatra et  
Shantanu Dutt (IEEE, 1996, pages 272 à 281)

REVENDEICATIONS

1. Procédé de reconfiguration d'un réseau d'éléments fonctionnels identiques parallèles avec  
5 tolérance aux fautes de ces éléments fonctionnels, le réseau comportant lesdits éléments fonctionnels de base (P), des éléments fonctionnels supplémentaires (Sp), des éléments d'interconnexion (Cm) de ces éléments fonctionnels et une unité de contrôle, ledit procédé  
10 étant caractérisé en ce qu'il comprend :

- une étape de placement des éléments fonctionnels du réseau logique ;
- une étape de routage consistant en une programmation des éléments d'interconnexion sur le  
15 réseau physique, en choisissant un nombre maximal d'éléments d'interconnexion pouvant être traversés entre deux éléments fonctionnels voisins utilisant un algorithme de recherche du plus court chemin.

2. Procédé selon la revendication 1, dans  
20 lequel :

- on détermine un ordre de placement des éléments fonctionnels du réseau qui est constitué d'un élément fonctionnel d'origine et d'une suite d'éléments fonctionnels englobant tous les éléments fonctionnels ;
- 25 - pour chacun des éléments fonctionnels on essaie de le placer en commençant par sa place logique puis, si nécessaire en cas d'échec, en chacune des places situées à une distance 1, à une distance 2... de la place logique de cet élément fonctionnel, avec comme  
30 restriction qu'une et une seule place supplémentaire doit être utilisée par rapport aux places possibles des éléments fonctionnels précédemment placés, en arrêtant lorsque S+1 places ont été essayées, S étant le nombre d'éléments fonctionnels supplémentaires ;

- si  $S+1$  places ont été essayés sans succès, on revient à l'élément fonctionnel précédent dans l'ordre de placement et on passe à la place suivante pour cet élément fonctionnel.

5           3. Procédé selon la revendication 2, dans lequel, lorsque tous les éléments fonctionnels sont placés, on vérifie pour chaque dimension du réseau que l'ordre logique est respecté pour chaque couple d'éléments fonctionnels, si ce n'est pas le cas on  
10 inverse les places de ces éléments fonctionnels.

          4. Procédé selon la revendication 1, dans lequel l'ordre de placement est défini ainsi : l'élément fonctionnel d'origine est l'élément fonctionnel en haut à gauche, les éléments fonctionnels  
15 suivants sont les éléments fonctionnels à droite et en bas de l'élément fonctionnel d'origine, et ainsi de suite en respectant une diagonale.

          5. Procédé selon la revendication 1, dans lequel on découpe le réseau en blocs de l'élément  
20 fonctionnel et on définit un ordre de placement des blocs en partant d'un bloc d'origine et en parcourant tous les blocs de bloc voisin en bloc voisin, les places possibles pour les éléments fonctionnels d'un bloc ne comportant pas de place logique des éléments  
25 fonctionnels des blocs placés précédemment.

          6. Procédé selon la revendication 1, dans lequel les éléments fonctionnels sont des processeurs.

**THIS PAGE BLANK (USPTO)**



1/14

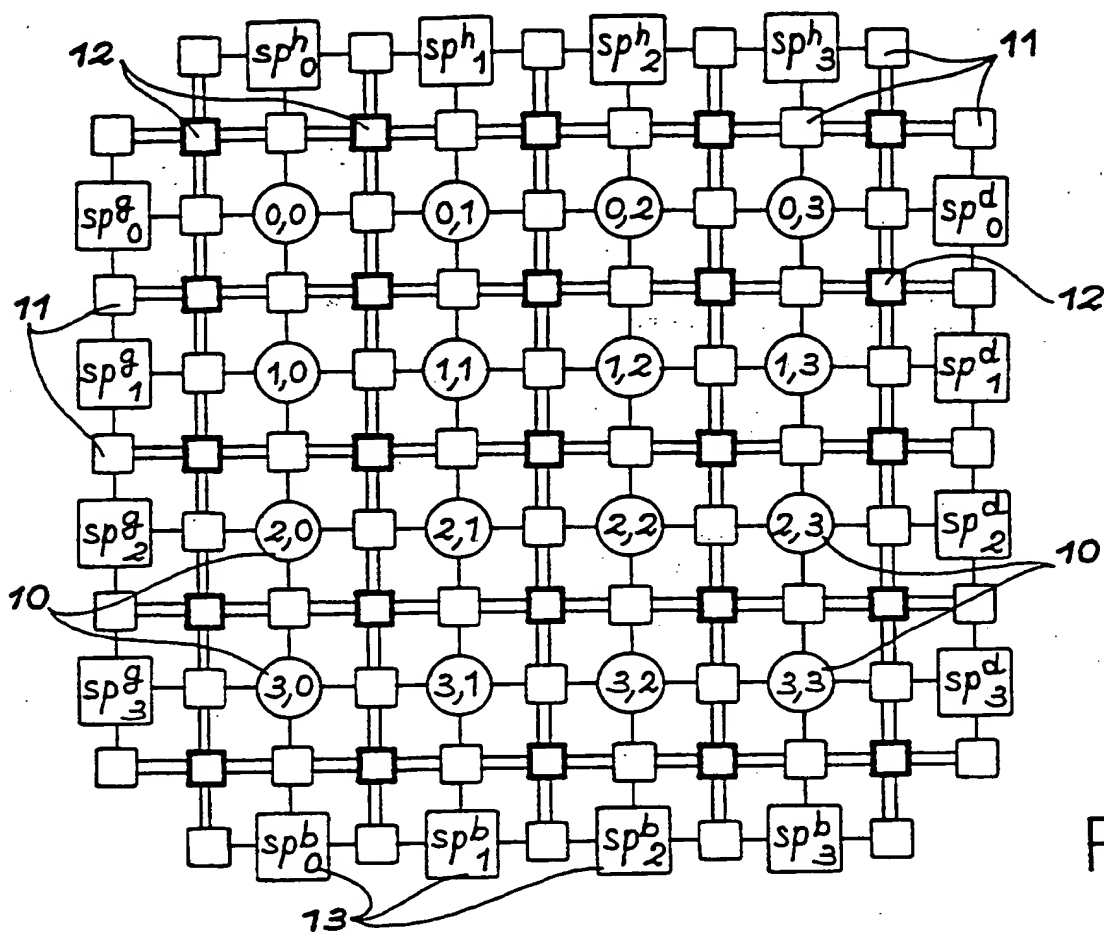


FIG. 1

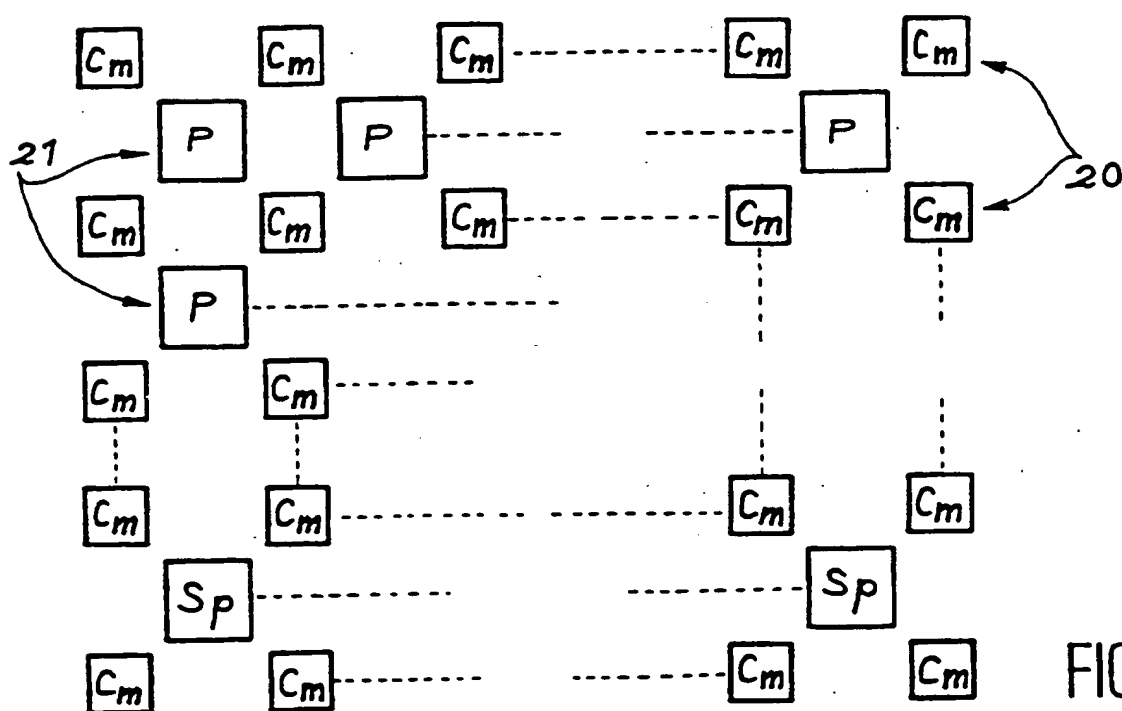


FIG. 9

**THIS PAGE BLANK (USPTO)**

2/14

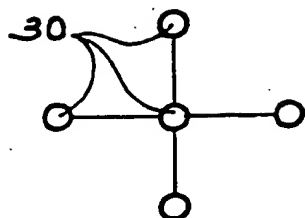


FIG. 2A

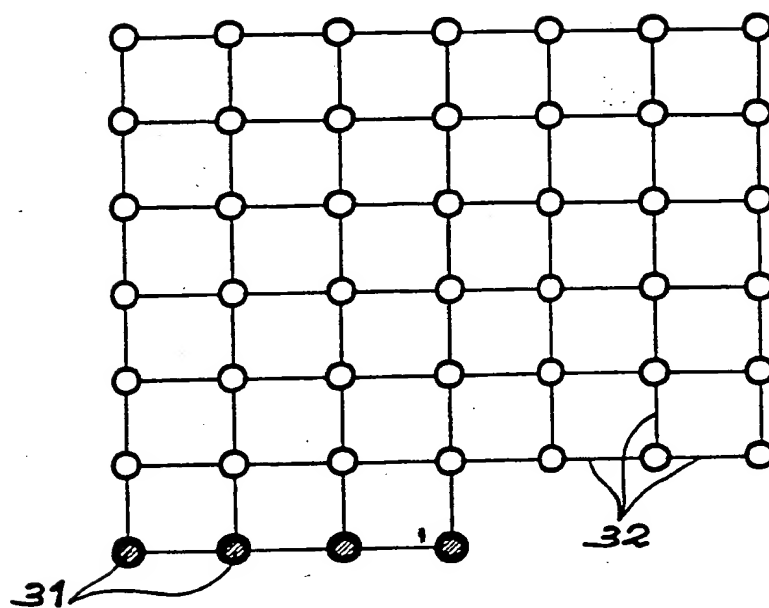


FIG. 2B

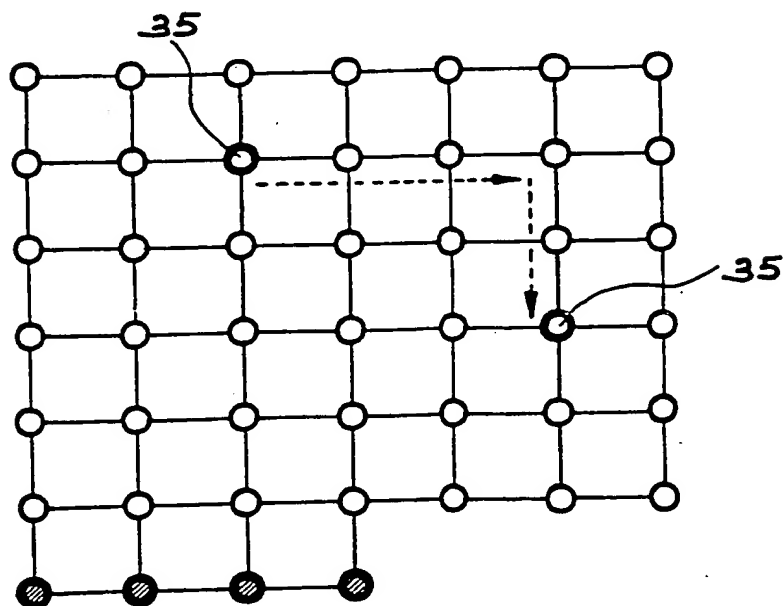


FIG. 3

**THIS PAGE BLANK (USPTO)**

3/14

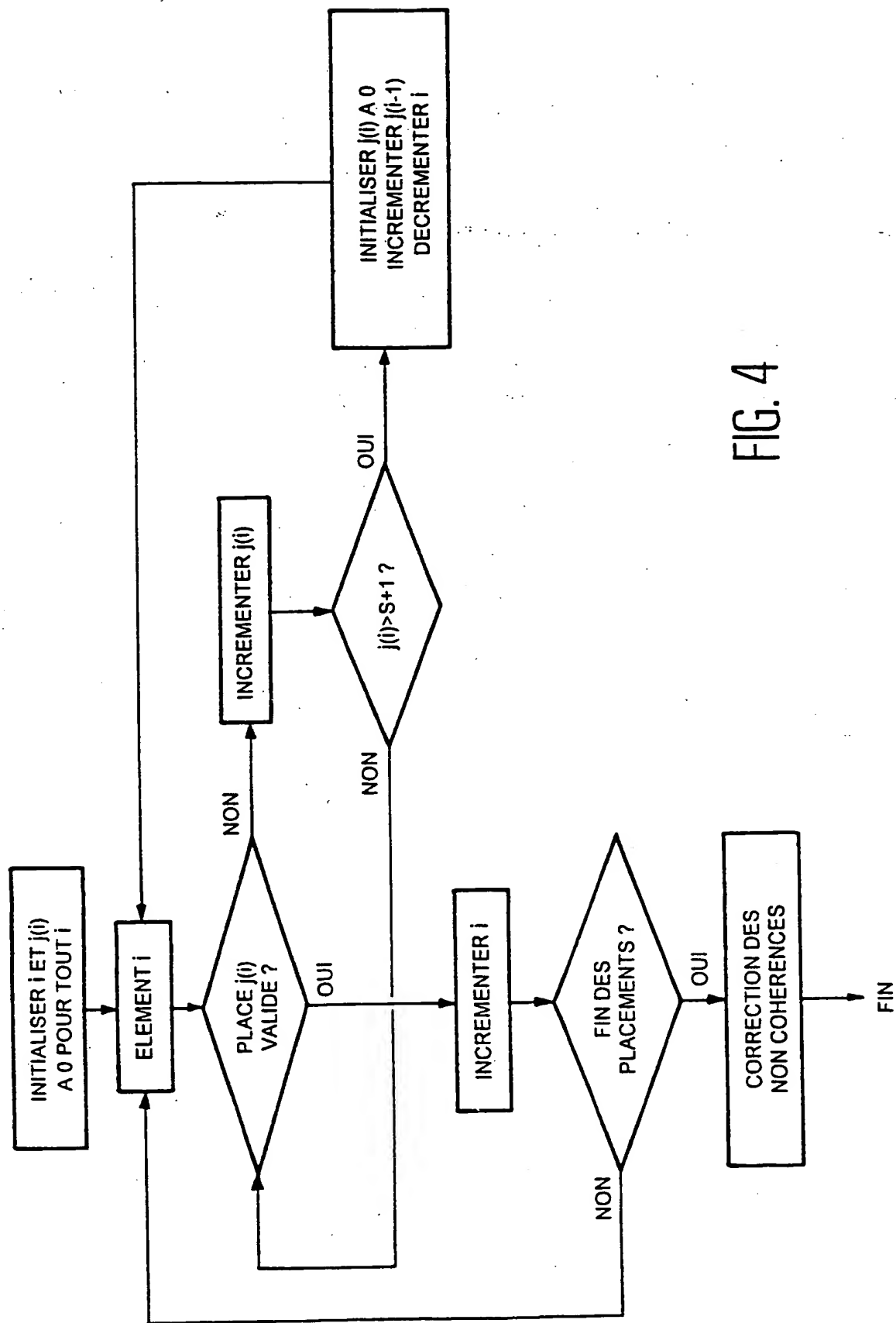


FIG. 4

**THIS PAGE BLANK (USPTO)**

4 / 14

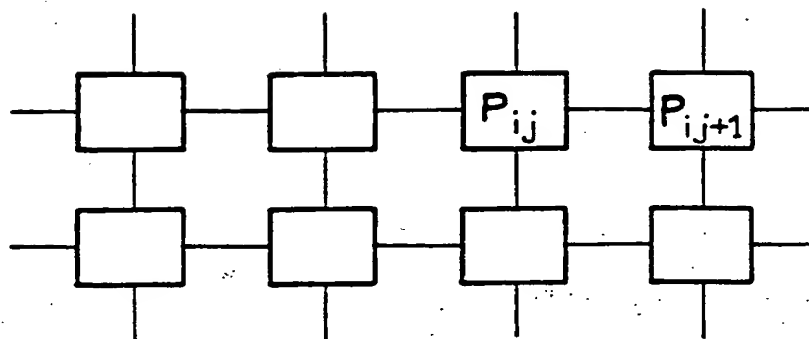


FIG. 5A

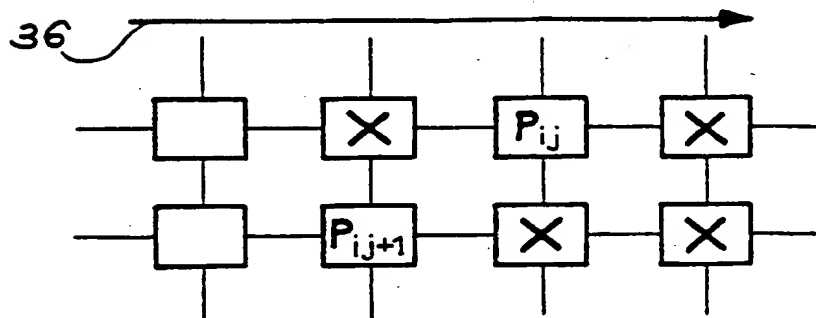
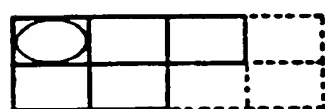
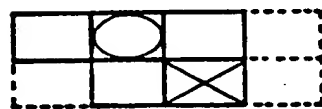


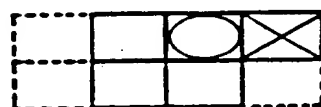
FIG. 5B



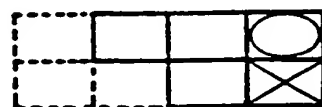
$P_{0,0}$



$P_{0,1}$



$P_{0,2}$



$P_{0,3}$

FIG. 7

**THIS PAGE BLANK (USPTO)**



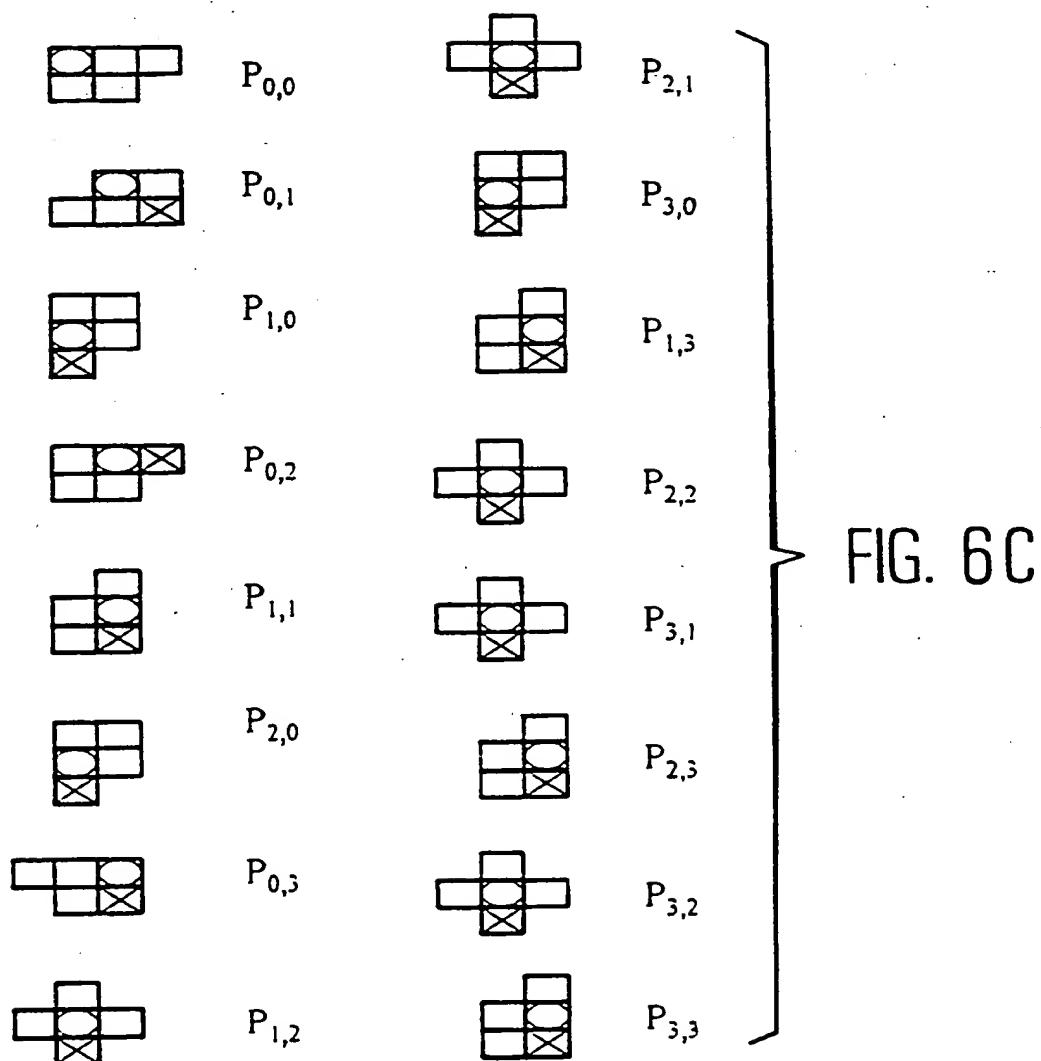
5/14

$P_{0,0}$	$P_{0,1}$	$P_{0,2}$	$P_{0,3}$
$P_{1,0}$	$P_{1,1}$	$P_{1,2}$	$P_{1,3}$
$P_{2,0}$	$P_{2,1}$	$P_{2,2}$	$P_{2,3}$
$P_{3,0}$	$P_{3,1}$	$P_{3,2}$	$P_{3,3}$
$Sp_0$	$Sp_1$	$Sp_2$	$Sp_3$

FIG. 6A

1	2	4	7
3	5	8	11
6	9	12	14
10	13	15	16
$Sp_0$	$Sp_1$	$Sp_2$	$Sp_3$

FIG. 6B



THIS PAGE BLANK (USPTO)

6/14

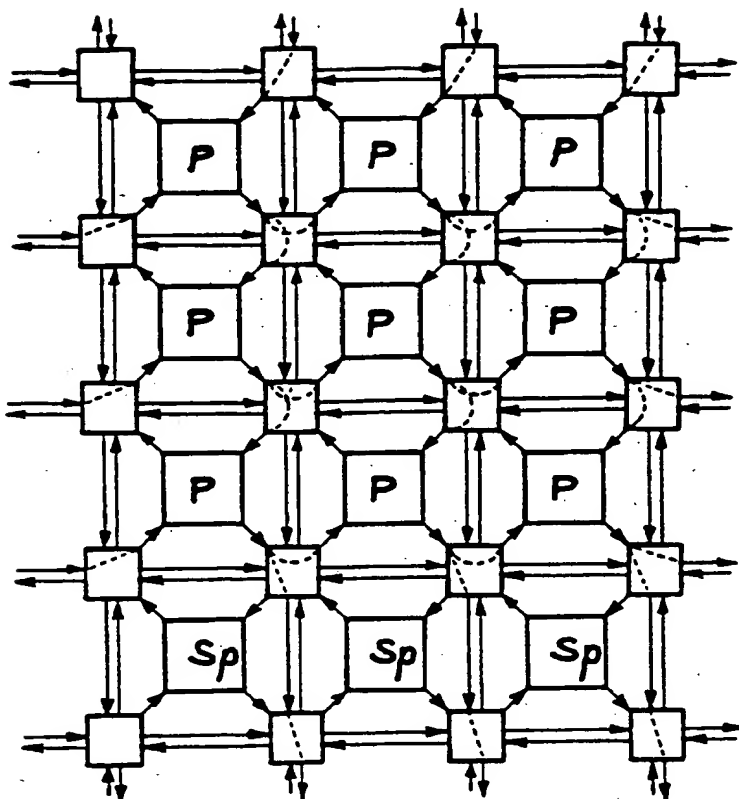


FIG. 8A

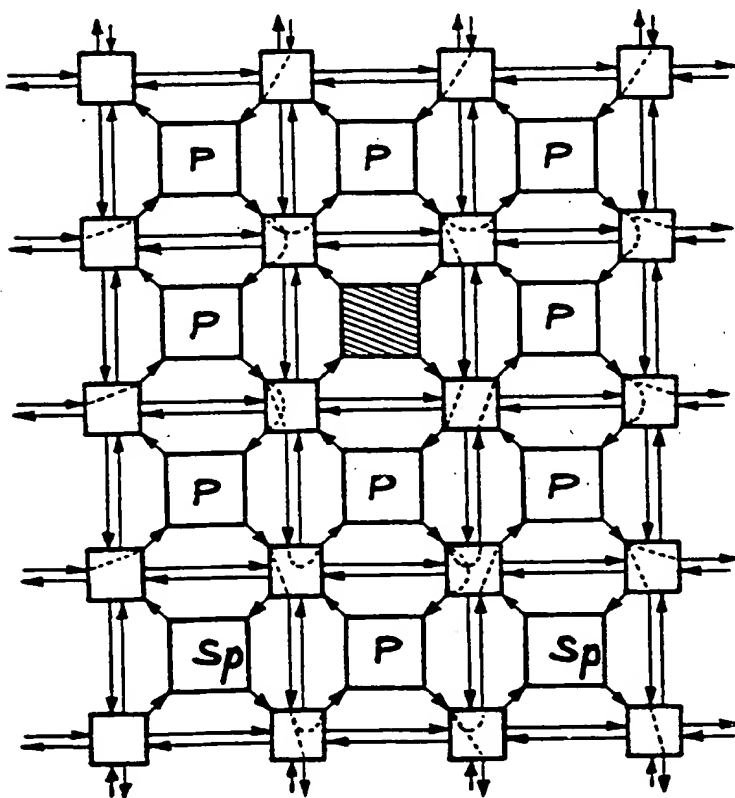


FIG. 8B

THIS PAGE BLANK (USPTO)

7/14

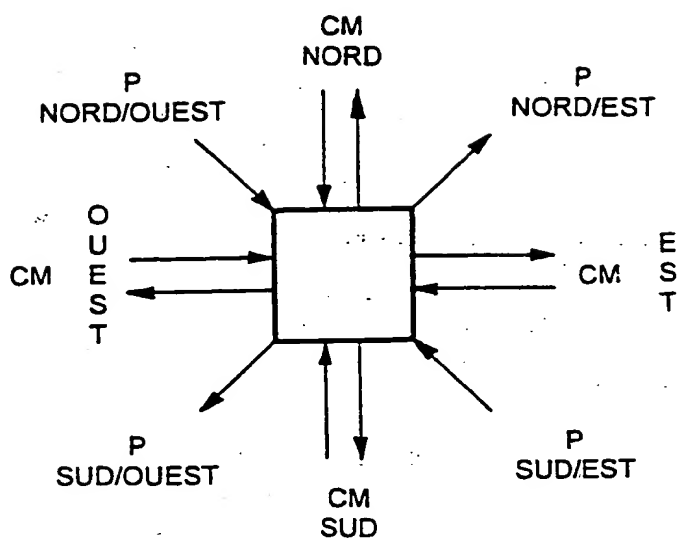


FIG. 10

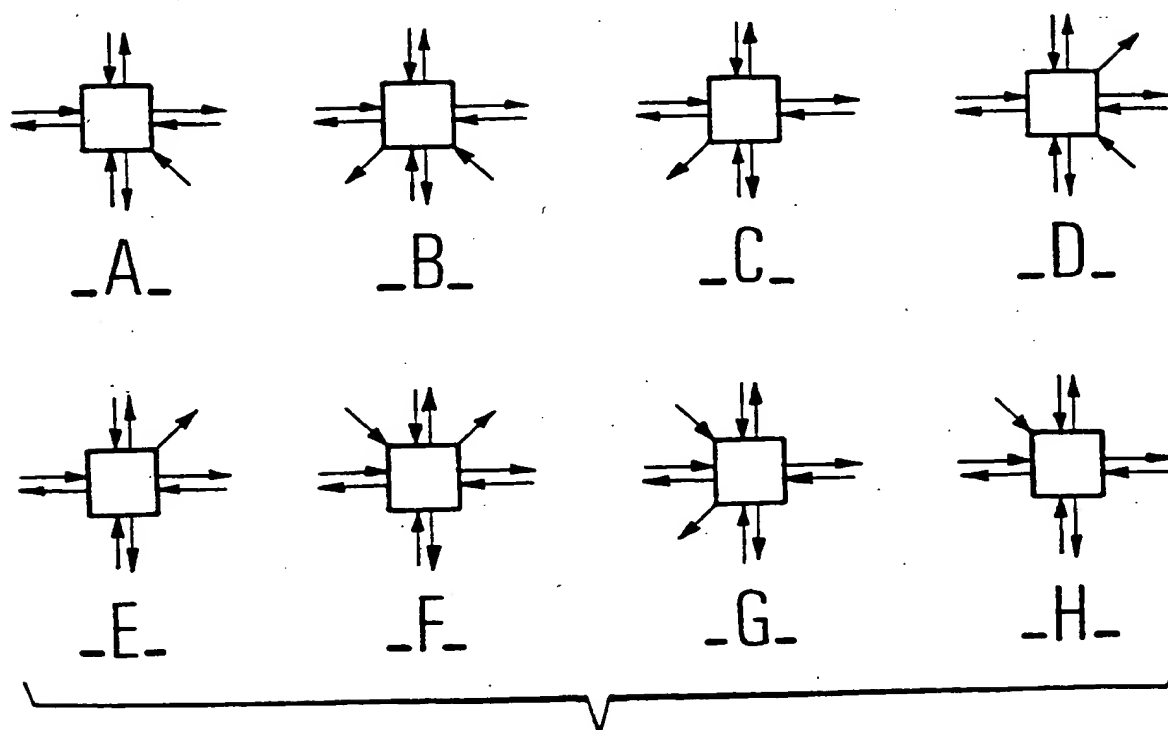


FIG. 11

**THIS PAGE BLANK (USPTO)**

8 / 14

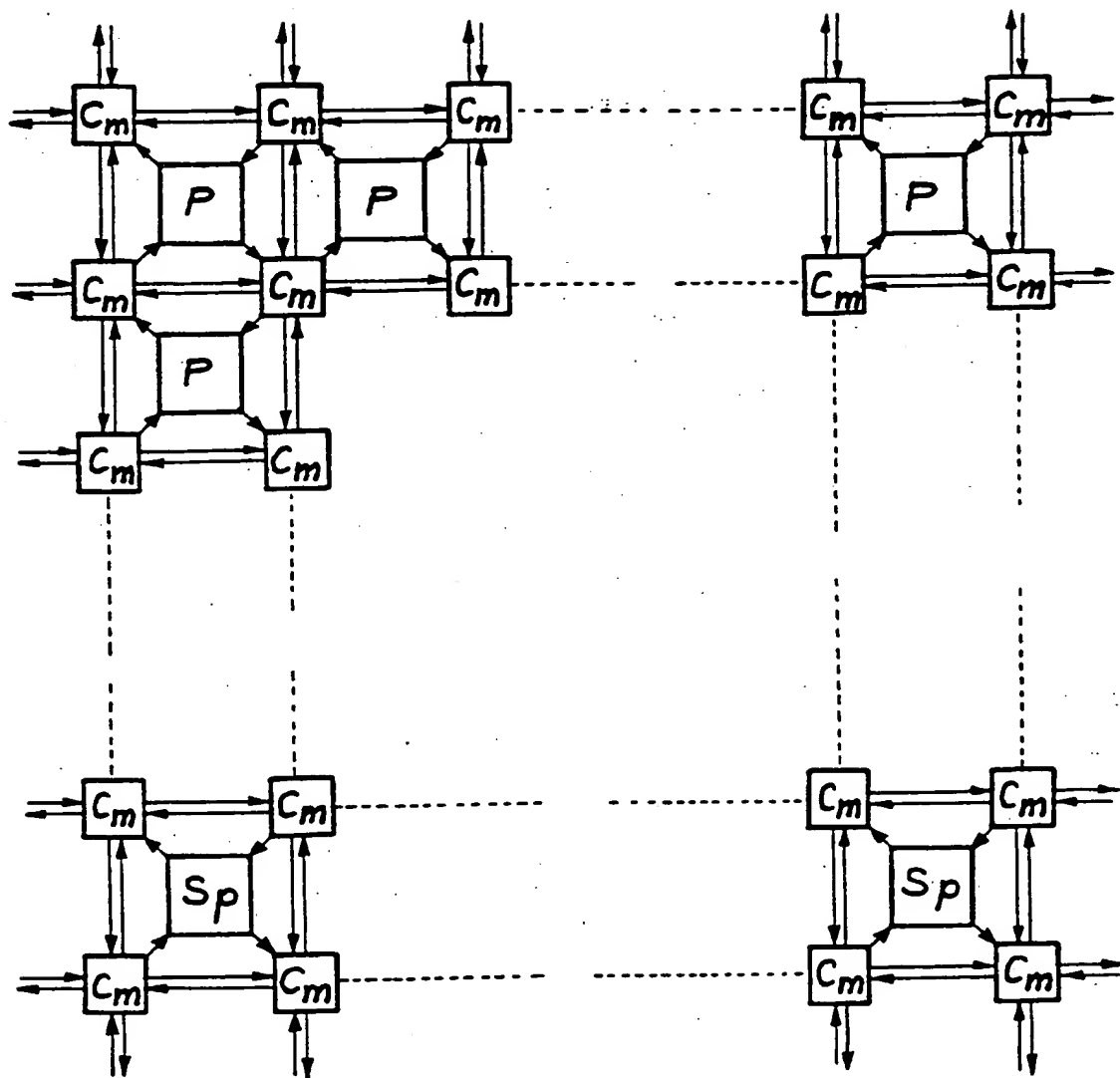


FIG. 12

**THIS PAGE BLANK (USPTO)**



9 / 14

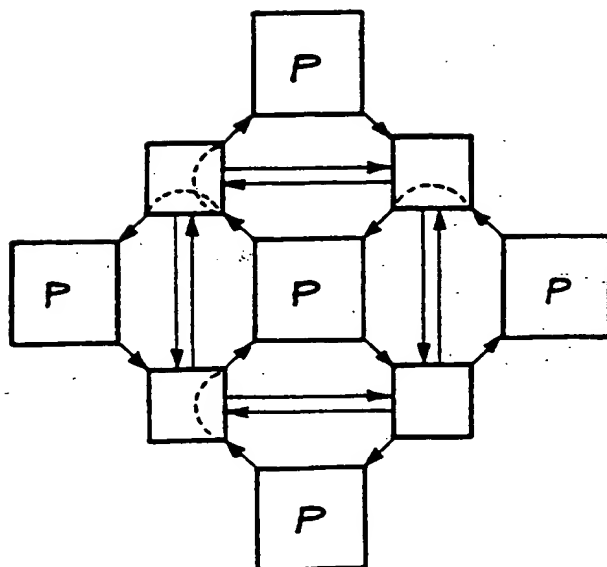


FIG. 13A

FIG. 13B

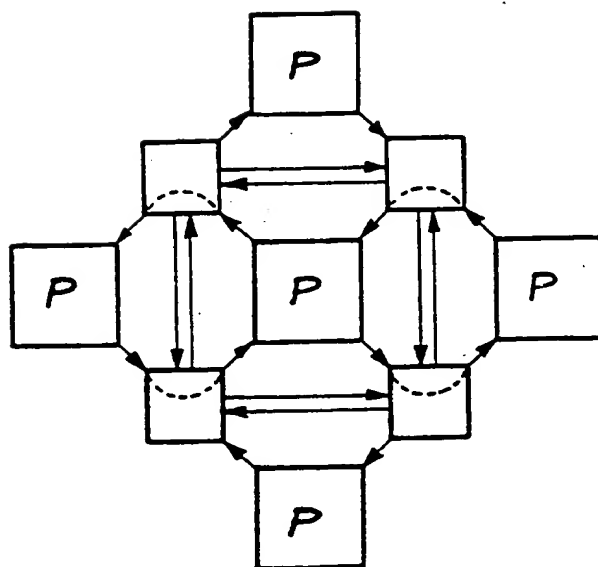
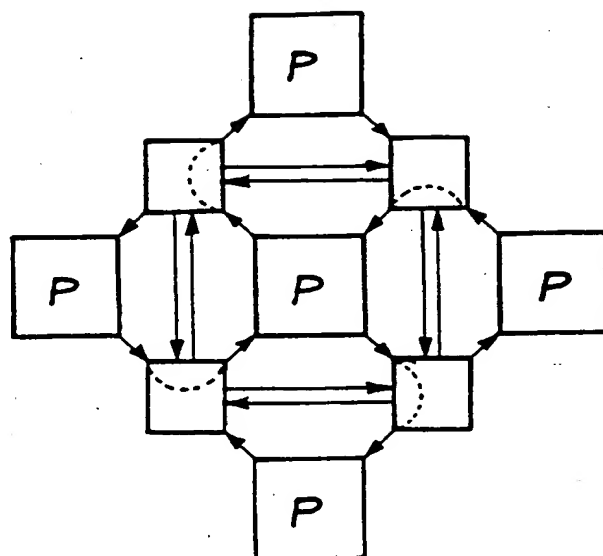


FIG. 13C

**THIS PAGE BLANK (USPTO)**

10/14

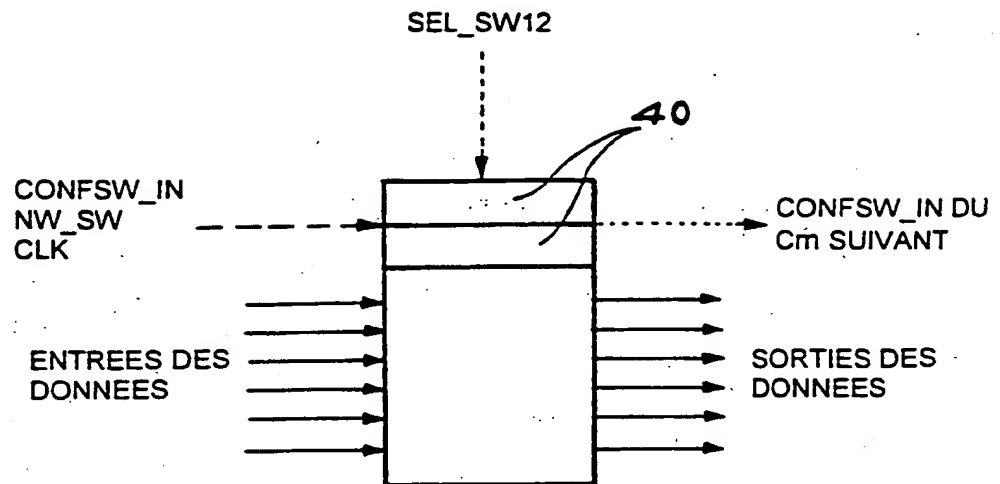


FIG. 14 A

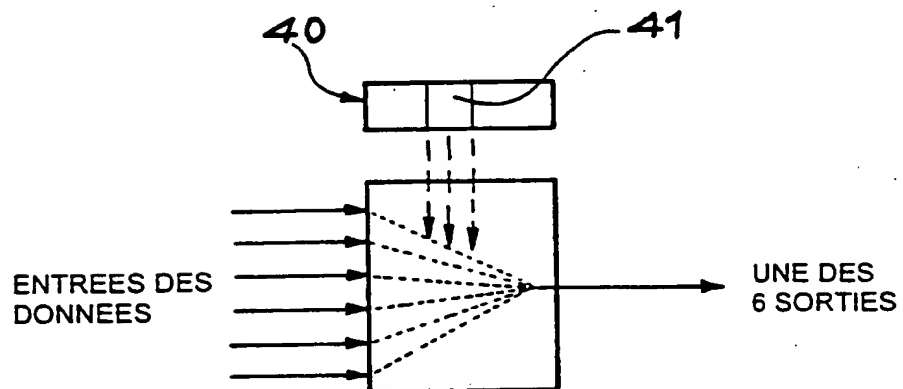


FIG. 14 B

**THIS PAGE BLANK (USPTO)**

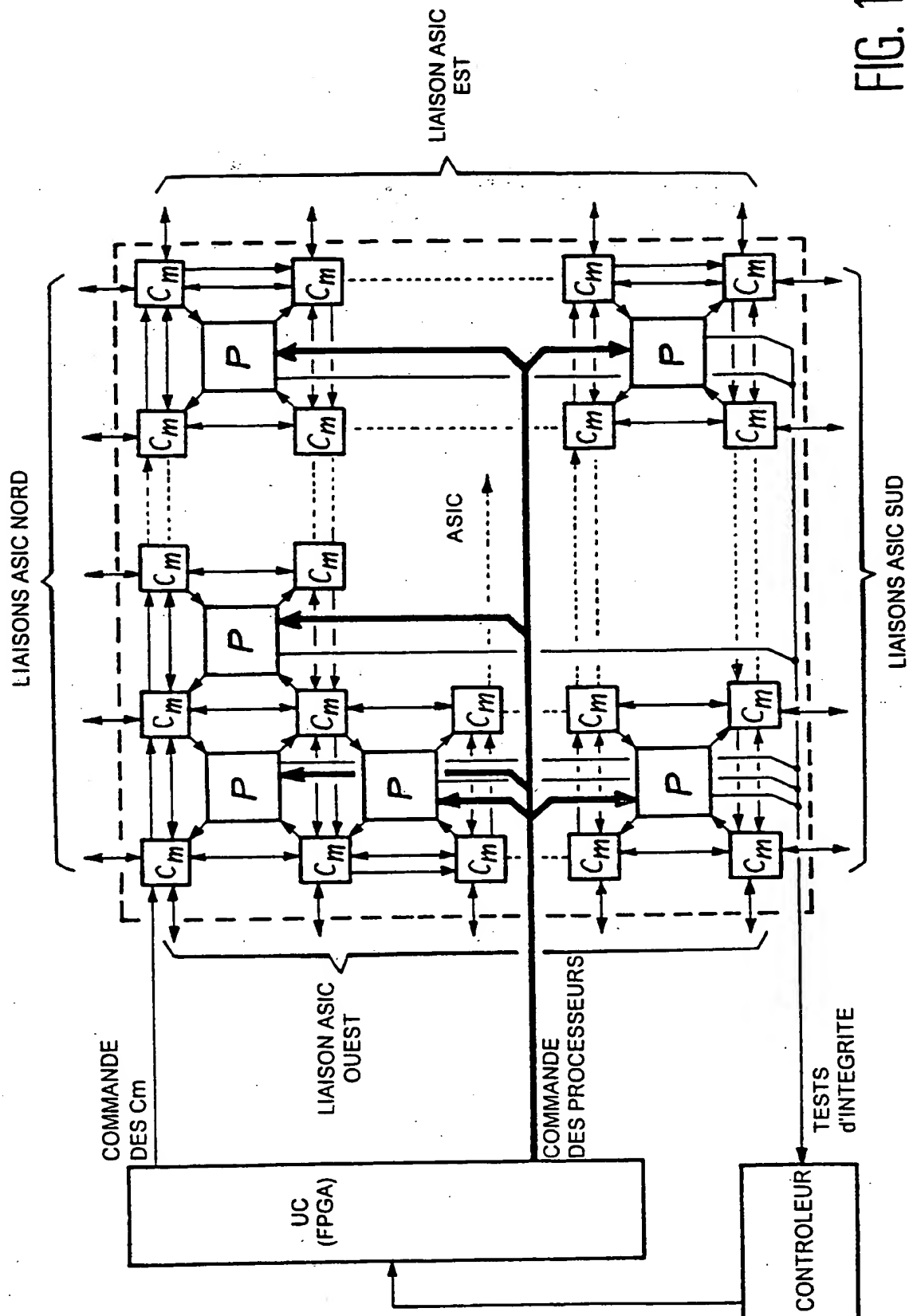


FIG. 15

**THIS PAGE BLANK (USPTO)**

12 / 14

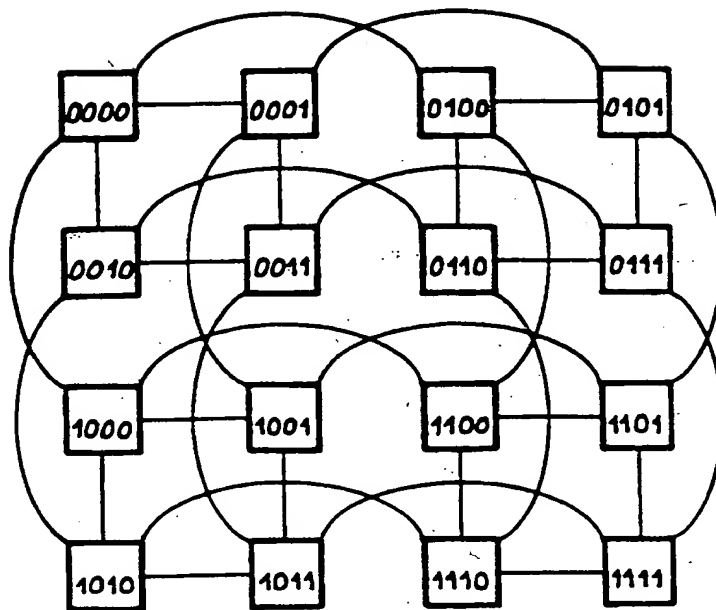
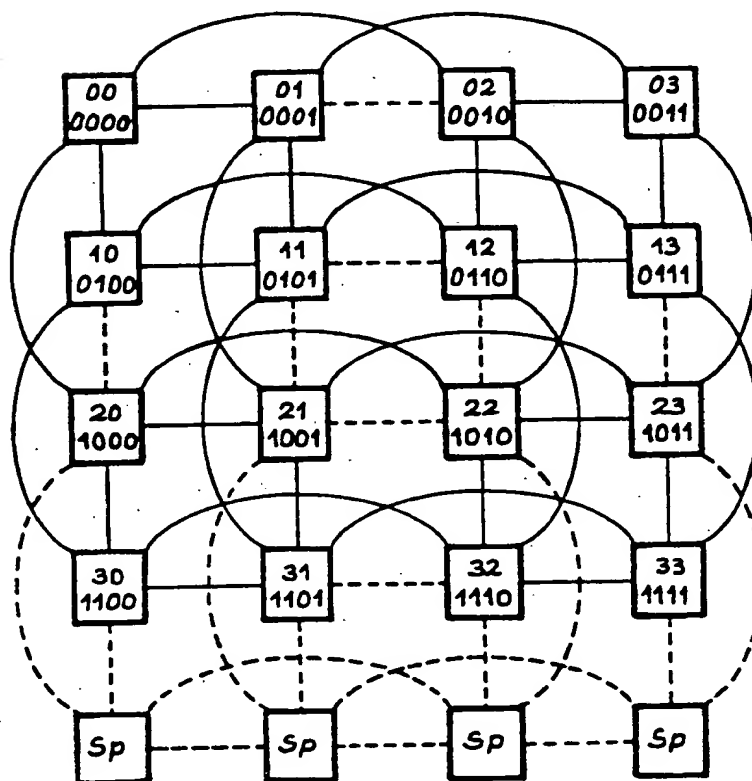


FIG. 16

FIG. 17



**THIS PAGE BLANK (USPTO)**



13/14

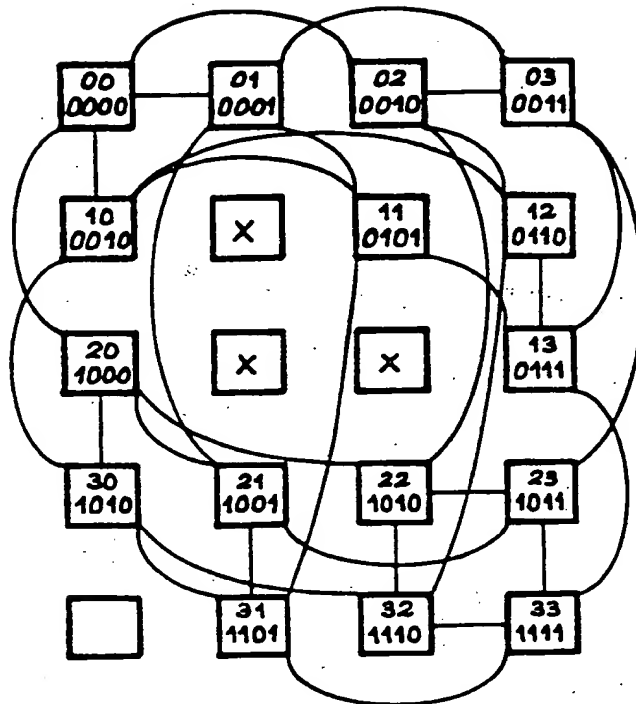
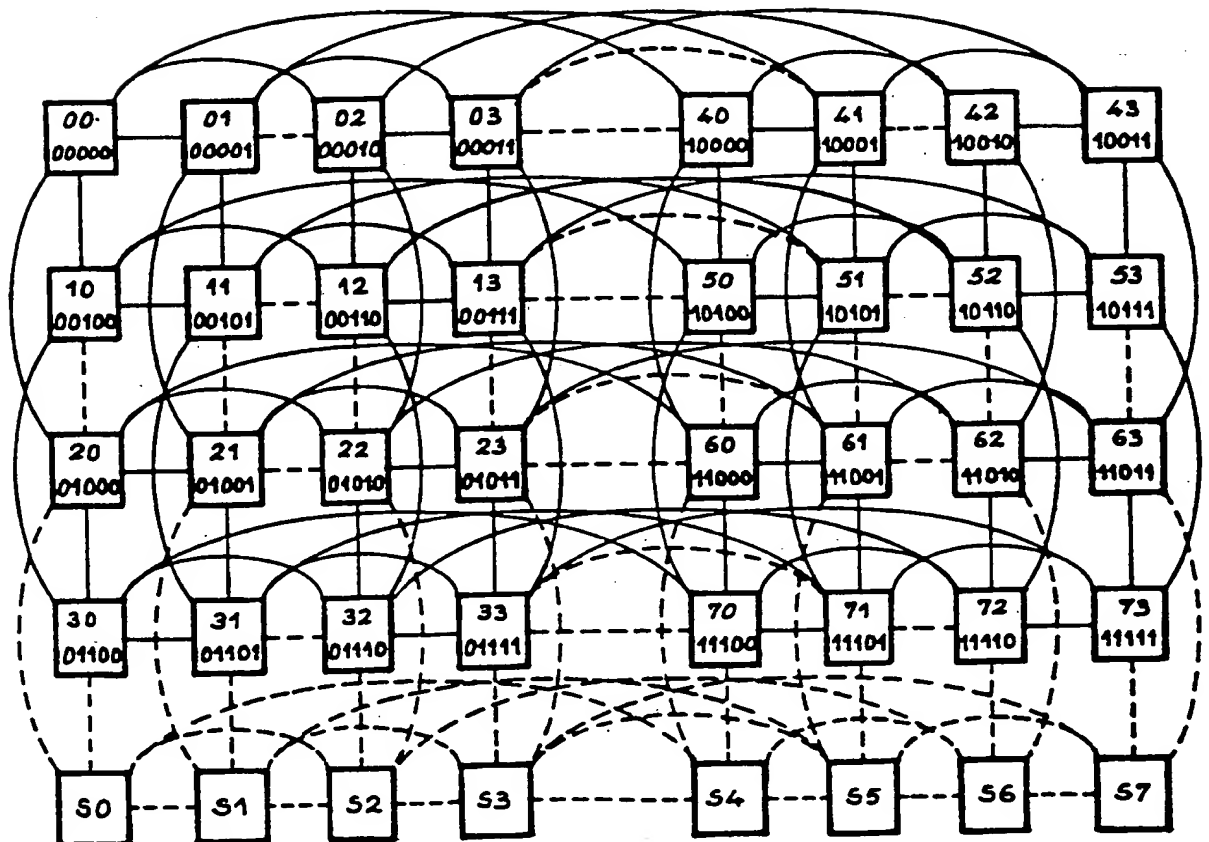


FIG. 18

FIG. 19



**THIS PAGE BLANK (USPTO)**

14/14

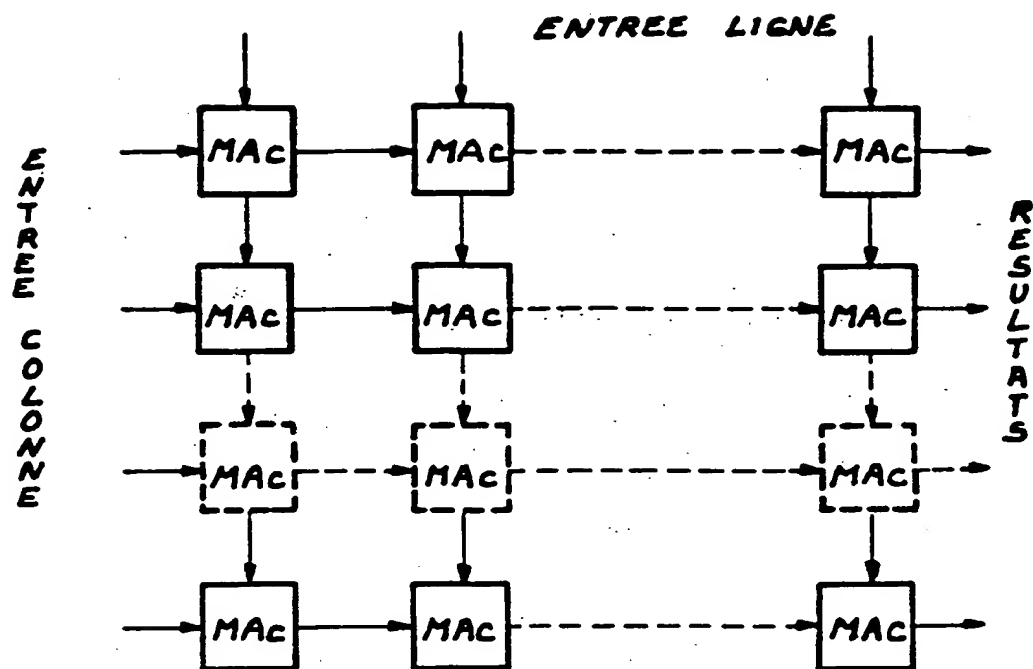


FIG. 20

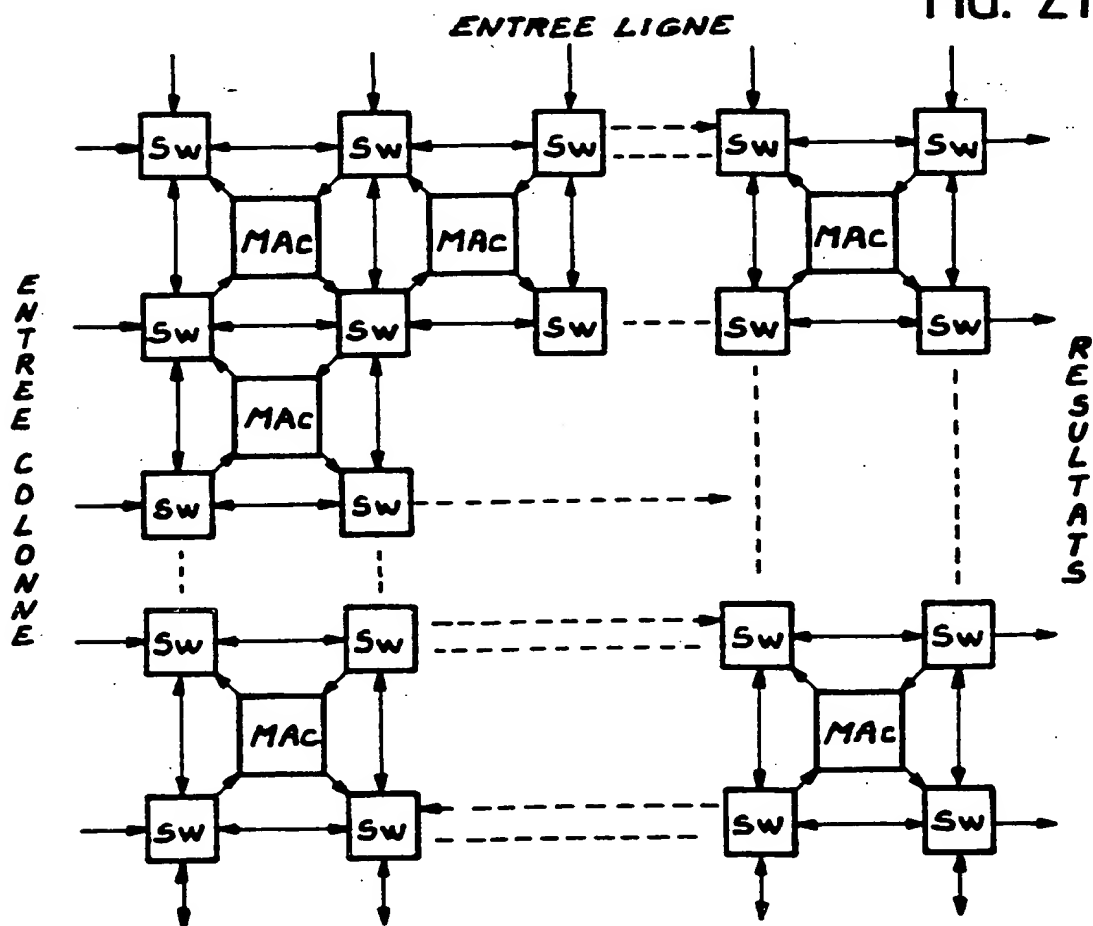


FIG. 21

**THIS PAGE BLANK (USPTO)**

# INTERNATIONAL SEARCH REPORT

International application No

PCT/FR 00/01861

## A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 G06F11/20 G06F15/80

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

WPI Data, INSPEC, IBM-TDB, EPO-Internal

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	<p>VARVARIGOU T A ET AL: "NEW ALGORITHMS FOR RECONFIGURING VLSI/WSI ARRAYS" JOURNAL OF VLSI SIGNAL PROCESSING, NL, KLUWER ACADEMIC PUBLISHERS, DORDRECHT, vol. 3, no. 4, 1 October 1991 (1991-10-01), pages 329-344, XP000262126 ISSN: 0922-5773 page 329, right-hand column, line 16 -page 337, left-hand column, line 1</p> <p style="text-align: center;">--- -/--</p>	1,6

☒ Further documents are listed in the continuation of box C.

☐ Patent family members are listed in annex.

### \* Special categories of cited documents :

- \*A\* document defining the general state of the art which is not considered to be of particular relevance
- \*E\* earlier document but published on or after the international filing date
- \*L\* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- \*O\* document referring to an oral disclosure, use, exhibition or other means
- \*P\* document published prior to the international filing date but later than the priority date claimed

- \*T\* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- \*X\* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- \*Y\* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- \*Z\* document member of the same patent family

Date of the actual completion of the international search

20 October 2000

Date of mailing of the international search report

30/10/2000

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Authorized officer

Michel, T

# INTERNATIONAL SEARCH REPORT

International Application No

PCT/FR 00/01861

## C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	<p>KIM J H ET AL: "AN ON-LINE RECONFIGURATION ALGORITHM OF WSI PROCESSOR ARRAYS"            PROCEEDINGS OF THE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS. (ISCAS),US,NEW YORK, IEEE,            vol. CONF. 25, 1992, pages 2953-2956,            XP000338834            ISBN: 0-7803-0593-0            page 2594, paragraph 3 -page 2595</p>	1,6
A	<p>POPLI S P ET AL: "A RECONFIGURABLE VLSI ARRAY FOR RELIABILITY AND YIELD ENHANCEMENT"            PROCEEDINGS OF THE INTERNATIONAL CONFERENCE ON SYSTOLIC ARRAYS. FROM 1990 PROCEEDINGS OF THE INTERNATIONAL CONFERENCE ON APPLICATION SPECIFIC ARRAY PROCESSORS,US,WASHINGTON, IEEE COMP. SOC. PRESS,            vol. CONF. 2, 1988, pages 631-642,            XP000756117            page 635, paragraph 4.2 -page 638</p>	1,6
P,X	<p>CLERMIDY F ET AL: "A new placement algorithm dedicated to parallel computers: bases and application"            PROCEEDINGS 1999 PACIFIC RIM INTERNATIONAL SYMPOSIUM ON DEPENDABLE COMPUTING, PROCEEDINGS 1999 PACIFIC RIM INTERNATIONAL SYMPOSIUM ON DEPENDABLE COMPUTING, HONG KONG, 16-17 DEC. 1999,            pages 242-249, XP002139232            1999, Los Alamitos, CA, USA, IEEE Comput. Soc, USA            ISBN: 0-7695-0371-3            the whole document</p>	1-6

# RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale No

PCT/FR 00/01861

## A. CLASSEMENT DE L'OBJET DE LA DEMANDE

CIB 7 G06F11/20 G06F15/80

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

## B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)

CIB 7 G06F

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés)

WPI Data, IN\$PEC, IBM-TDB, EPO-Internal

## C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie *	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	<p>VARVARIGOU T A ET AL: "NEW ALGORITHMS FOR RECONFIGURING VLSI/WSI ARRAYS" JOURNAL OF VLSI SIGNAL PROCESSING,NL,KLUWER ACADEMIC PUBLISHERS, DORDRECHT, vol. 3, no. 4, 1 octobre 1991 (1991-10-01), pages 329-344, XP000262126 ISSN: 0922-5773 page 329, colonne de droite, ligne 16 -page 337, colonne de gauche, ligne 1</p> <p style="text-align: center;">--- -/--</p>	1,6

☒ Voir la suite du cadre C pour la fin de la liste des documents

☐ Les documents de familles de brevets sont indiqués en annexe

### \* Catégories spéciales de documents cités:

- \*A\* document définissant l'état général de la technique, non considéré comme particulièrement pertinent
- \*E\* document antérieur, mais publié à la date de dépôt international ou après cette date
- \*L\* document pouvant jeter un doute sur une revendication de nouveauté ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)
- \*O\* document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens
- \*P\* document publié avant la date de dépôt international, mais postérieurement à la date de nouveauté revendiquée

- \*T\* document ultérieur publié après la date de dépôt international ou la date de nouveauté et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention
- \*X\* document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément
- \*Y\* document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier
- \*8\* document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

20 octobre 2000

Date d'expédition du présent rapport de recherche internationale

30/10/2000

Nom et adresse postale de l'administration chargée de la recherche internationale

Office Européen des Brevets, P.B. 5818 Patentaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo rd.  
Fax: (+31-70) 340-3016

Fonctionnaire autorisé

Michel, T

# RAPPORT DE RECHERCHE INTERNATIONALE

Demande in ationale No  
PCT/FR 00/01861

## C.(suite) DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	<p>KIM J H ET AL: "AN ON-LINE RECONFIGURATION ALGORITHM OF WSI PROCESSOR ARRAYS" PROCEEDINGS OF THE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS. (ISCAS), US, NEW YORK, IEEE, vol. CONF. 25, 1992, pages 2953-2956, XP000338834 ISBN: 0-7803-0593-0 page 2594, alinéa 3 -page 2595</p>	1,6
A	<p>POPLI S P ET AL: "A RECONFIGURABLE VLSI ARRAY FOR RELIABILITY AND YIELD ENHANCEMENT" PROCEEDINGS OF THE INTERNATIONAL CONFERENCE ON SYSTOLIC ARRAYS. FROM 1990. PROCEEDINGS OF THE INTERNATIONAL CONFERENCE ON APPLICATION SPECIFIC ARRAY PROCESSORS, US, WASHINGTON, IEEE COMP. SOC. PRESS, vol. CONF. 2, 1988, pages 631-642, XP000756117 page 635, alinéa 4.2 -page 638</p>	1,6
P,X	<p>CLERMIDY F ET AL: "A new placement algorithm dedicated to parallel computers: bases and application" PROCEEDINGS 1999 PACIFIC RIM INTERNATIONAL SYMPOSIUM ON DEPENDABLE COMPUTING, PROCEEDINGS 1999 PACIFIC RIM INTERNATIONAL SYMPOSIUM ON DEPENDABLE COMPUTING, HONG KONG, 16-17 DEC. 1999, pages 242-249, XP002139232 1999, Los Alamitos, CA, USA, IEEE Comput. Soc, USA ISBN: 0-7695-0371-3 le document en entier</p>	1-6



## TROISIÈME DE COOPERATION EN MATIÈRE DE BREVETS

Expéditeur : L'ADMINISTRATION CHARGÉE DE  
LA RECHERCHE INTERNATIONALE

## PCT

NOTIFICATION DE TRANSMISSION DU  
RAPPORT DE RECHERCHE INTERNATIONALE  
OU DE LA DECLARATION

(règle 44.1 du PCT)

Destinataire

**BREVATOME**

A l'att. de RICHARD, Patrick  
3, rue du Docteur Lancereaux  
F-75008 Paris  
FRANCE

# BREVATOME

30 OCT. 2000

3, rue du Docteur Lancereaux  
7 5 0 0 8 P A R I S

Date d'expédition  
(jour/mois/année)

30/10/2000

Référence du dossier du déposant ou du mandataire

B-13299.3 DB

**POUR SUITE A DONNER**

voir les paragraphes 1 et 4 ci-après

Demande internationale n°

PCT/FR 00/ 01861

Date du dépôt international

(jour/mois/année)

30/06/2000

Déposant

COMMISSARIAT A L'ENERGIE ATOMIQUE

1. ☒ Il est notifié au déposant que le rapport de recherche internationale a été établi et lui est transmis ci-joint.

**Dépôt de modifications et d'une déclaration selon l'article 19 :**

Le déposant peut, s'il le souhaite, modifier les revendications de la demande internationale (voir la règle 46):

### Quand?

Le délai dans lequel les modifications doivent être déposées est de deux mois à compter de la date de transmission du rapport de recherche internationale ; pour plus de précisions, voir cependant les notes figurant sur la feuille d'accompagnement.

**Où?**

Directement auprès du Bureau international de l'OMPI  
34, chemin des Colombettes  
1211 Genève 20, Suisse  
n° de télécopieur: (41-22)740.14.35

**Pour des instructions plus détaillées, voir les notes sur la feuille d'accompagnement.**

2. ☐ Il est notifié au déposant qu'il ne sera pas établi de rapport de recherche internationale et la déclaration à cet effet, prévue à l'article 17.2)a), est transmise ci-joint.

3. ☐ En ce qui concerne la réserve pouvant être formulée, conformément à la règle 40.2, à l'égard du paiement d'une ou de plusieurs taxes additionnelles, il est notifié au déposant que

- ☐ la réserve ainsi que la décision y relative ont été transmises au Bureau international en même temps que la requête du déposant tendant à ce que le texte de la réserve et celui de la décision en question soient notifiés aux offices désignés.

- ☐ la réserve n'a encore fait l'objet d'aucune décision; dès qu'une décision aura été prise, le déposant en sera avisé.

- 4. Mesure(s) consécutive(s) :** Il est rappelé au déposant ce qui suit:

Peu après l'expiration d'un délai de **18 mois** à compter de la date de priorité, la demande internationale sera publiée par le Bureau international. Si le déposant souhaite éviter ou différer la publication, il doit faire parvenir au Bureau international une déclaration de retrait de la demande internationale, ou de la revendication de priorité, conformément aux règles 90bis.1 et 90bis.3, respectivement, avant l'achèvement de la préparation technique de la publication internationale.

Dans un délai de **19 mois** à compter de la date de priorité, le déposant doit présenter la demande d'examen préliminaire international s'il souhaite que l'ouverture de la phase nationale soit reportée à 30 mois à compter de la date de priorité (ou même au-delà dans certains offices).

Dans un délai de **20 mois** à compter de la date de priorité, le déposant doit accomplir les démarches prescrites pour l'ouverture de la phase nationale auprès de tous les offices désignés qui n'ont pas été élus dans la demande d'examen préliminaire international ou dans une élection ultérieure avant l'expiration d'un délai de 19 mois à compter de la date de priorité ou qui ne pouvaient pas être élus parce qu'ils ne sont pas liés par le chapitre II.

Nom et adresse postale de l'administration chargée de la recherche internationale



Office Européen des Brevets, P.B. 5818 Patentlaan 2  
NL-2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Fonctionnaire autorisé

**Marja Brouwers**

**THIS PAGE BLANK (USPTO)**

Les présentes notes sont destinées à donner les instructions essentielles concernant le dépôt de modifications selon l'article 19. Les notes sont fondées sur les exigences du Traité de coopération en matière de brevets (PCT), du règlement d'exécution et des instructions administratives du PCT. En cas de divergence entre les présentes notes et ces exigences, ce sont ces dernières qui priment. Pour de plus amples renseignements, on peut aussi consulter le Guide du déposant du PCT, qui est une publication de l'OMPI.

Dans les présentes notes, les termes "article", "règle" et "instruction" renvoient aux dispositions du traité, de son règlement d'exécution et des instructions administratives du PCT, respectivement.

## INSTRUCTIONS CONCERNANT LES MODIFICATIONS SELON L'ARTICLE 19

Après réception du rapport de recherche internationale, le déposant a la possibilité de modifier une fois les revendications de la demande internationale. On notera cependant que, comme toutes les parties de la demande internationale (revendications, description et dessins) peuvent être modifiées au cours de la procédure d'examen préliminaire international, il n'est généralement pas nécessaire de déposer de modifications des revendications selon l'article 19 sauf, par exemple, au cas où le déposant souhaite que ces dernières soient publiées aux fins d'une protection provisoire ou a une autre raison de modifier les revendications avant la publication internationale. En outre, il convient de rappeler que l'obtention d'une protection provisoire n'est possible que dans certains Etats.

### Quelles parties de la demande internationale peuvent être modifiées?

Selon l'article 19, les revendications exclusivement.

Durant la phase internationale, les revendications peuvent aussi être modifiées (ou modifiées à nouveau) selon l'article 34 auprès de l'administration chargée de l'examen préliminaire international. La description et les dessins ne peuvent être modifiées que selon l'article 34 auprès de l'administration chargée de l'examen préliminaire international.

Lors de l'ouverture de la phase nationale, toutes les parties de la demande internationale peuvent être modifiées selon l'article 28 ou, le cas échéant, selon l'article 41.

### Quand?

Dans un délai de deux mois à compter de la date de transmission du rapport de recherche internationale ou de 16 mois à compter de la date de priorité, selon l'échéance la plus tardive. Il convient cependant de noter que les modifications seront réputées avoir été reçues en temps voulu si elles parviennent au Bureau international après l'expiration du délai applicable mais avant l'achèvement de la préparation technique de la publication internationale (règle 46.1).

### Où ne pas déposer les modifications?

Les modifications ne peuvent être déposées qu'auprès du Bureau international; elles ne peuvent être déposées ni auprès de l'office récepteur ni auprès de l'administration chargée de la recherche internationale (règle 46.2).

Lorsqu'une demande d'examen préliminaire international a été/est déposée, voir plus loin.

### Comment?

Soit en supprimant entièrement une ou plusieurs revendications, soit en ajoutant une ou plusieurs revendications nouvelles ou encore en modifiant le texte d'une ou de plusieurs des revendications telles que déposées.

Une feuille de remplacement doit être remise pour chaque feuille des revendications qui, en raison d'une ou de plusieurs modifications, diffère de la feuille initialement déposée.

Toutes les revendications figurant sur une feuille de remplacement doivent être numérotées en chiffres arabes. Si une revendication est supprimée, il n'est pas obligatoire de renuméroter les autres revendications. Chaque fois que des revendications sont renumérotées, elles doivent l'être de façon continue (instruction 205.b)).

Les modifications doivent être effectuées dans la langue dans laquelle la demande internationale est publiée.

### Quels documents doivent/puvent accompagner les modifications?

**Lettre (Instruction 205.b)):**

Les modifications doivent être accompagnées d'une lettre.

La lettre ne sera pas publiée avec la demande internationale et les revendications modifiées. Elle ne doit pas être confondue avec la "déclaration selon l'article 19.1)" (voir plus loin sous "Déclaration selon l'article 19.1)").

La lettre doit être rédigée en anglais ou en français, au choix du déposant. Cependant, si la langue de la demande internationale est l'anglais, la lettre doit être rédigée en anglais; si la langue de la demande internationale est le français, la lettre doit être rédigée en français.

**THIS PAGE BLANK (USPTO)**

## NOTES RELATIVES AU FORMULAIRE PCT/ISA/220 (suite)

La lettre doit indiquer les différences existant entre les revendications telles que déposées et les revendications telles que modifiées. Elle doit indiquer en particulier, pour chaque revendication figurant dans la demande internationale (étant entendu que des indications identiques concernant plusieurs revendications peuvent être groupées), si

- i) la revendication n'est pas modifiée;
- ii) la revendication est supprimée;
- iii) la revendication est nouvelle;
- iv) la revendication remplace une ou plusieurs revendications telles que déposées;
- v) la revendication est le résultat de la division d'une revendication telle que déposée.

**Les exemples suivants illustrent la manière dont les modifications doivent être expliquées dans la lettre d'accompagnement:**

1. [Lorsque le nombre des revendications déposées initialement s'élevait à 48 et qu'à la suite d'une modification de certaines revendications il s'élève à 51]:  
"Revendications 1 à 15 remplacées par les revendications modifiées portant les mêmes numéros; revendications 30, 33 et 36 pas modifiées; nouvelles revendications 49 à 51 ajoutées."
2. [Lorsque le nombre des revendications déposées initialement s'élevait à 15 et qu'à la suite d'une modification de toutes les revendications il s'élève à 11]:  
"Revendications 1 à 15 remplacées par les revendications modifiées 1 à 11."
3. [Lorsque le nombre des revendications déposées initialement s'élevait à 14 et que les modifications consistent à supprimer certaines revendications et à en ajouter de nouvelles]:  
"Revendications 1 à 6 et 14 pas modifiées; revendications 7 à 13 supprimées; nouvelles revendications 15, 16 et 17 ajoutées." ou  
"Revendications 7 à 13 supprimées; nouvelles revendications 15, 16 et 17 ajoutées; toutes les autres revendications pas modifiées."
4. [Lorsque plusieurs sortes de modifications sont faites]:  
"Revendications 1-10 pas modifiées; revendications 11 à 13, 18 et 19 supprimées; revendications 14, 15 et 16 remplacées par la revendication modifiée 14; revendication 17 divisée en revendications modifiées 15, 16 et 17; nouvelles revendications 20 et 21 ajoutées."

### "Déclaration selon l'article 19.1)" (Règle 46.4)

Les modifications peuvent être accompagnées d'une déclaration expliquant les modifications et précisant l'incidence que ces dernières peuvent avoir sur la description et sur les dessins (qui ne peuvent pas être modifiés selon l'article 19.1)).

La déclaration sera publiée avec la demande internationale et les revendications modifiées.

Elle doit être rédigée dans la langue dans laquelle la demande internationale est publiée.

Elle doit être succincte (ne pas dépasser 500 mots si elle est établie ou traduite en anglais).

Elle ne doit pas être confondue avec la lettre expliquant les différences existant entre les revendications telles que déposées et les revendications telles que modifiées, et ne la remplace pas. Elle doit figurer sur une feuille distincte et doit être munie d'un titre permettant de l'identifier comme telle, constitué de préférence des mots "Déclaration selon l'article 19.1)".

Elle ne doit contenir aucun commentaire dénigrant relatif au rapport de recherche internationale ou à la pertinence des citations que ce dernier contient. Elle ne peut se référer à des citations se rapportant à une revendication donnée et contenues dans le rapport de recherche internationale qu'en relation avec une modification de cette revendication.

### Conséquence du fait qu'une demande d'examen préliminaire international ait déjà été présentée

Si, au moment du dépôt de modifications effectuées en vertu de l'article 19, une demande d'examen préliminaire international a déjà été présentée, le déposant doit de préférence, lors du dépôt des modifications auprès du Bureau international, déposer également une copie de ces modifications auprès de l'administration chargée de l'examen préliminaire international (voir la règle 62.2a), première phrase).

### Conséquence au regard de la traduction de la demande internationale lors de l'ouverture de la phase nationale

L'attention du déposant est appelée sur le fait qu'il peut avoir à remettre aux offices désignés ou élus, lors de l'ouverture de la phase nationale, une traduction des revendications telles que modifiées en vertu de l'article 19 au lieu de la traduction des revendications telles que déposées ou en plus de celle-ci.

Pour plus de précisions sur les exigences de chaque office désigné ou élu, voir le volume II du Guide du déposant du PCT.

**THIS PAGE BLANK (USPTO)**

## PCT

## RAPPORT DE RECHERCHE INTERNATIONALE

(article 18 et règles 43 et 44 du PCT)

Référence du dossier du déposant ou du mandataire B 13299.3 DB	<b>POUR SUITE</b> voir la notification de transmission du rapport de recherche internationale (formulaire PCT/ISA/220) et, le cas échéant, le point 5 ci-après <b>A DONNER</b>	
Demande internationale n° PCT/FR 00/ 01861	Date du dépôt international (jour/mois/année) 30/06/2000	(Date de priorité (la plus ancienne) (jour/mois/année) 02/07/1999
Déposant  COMMISSARIAT A L'ENERGIE ATOMIQUE		

Le présent rapport de recherche internationale, établi par l'administration chargée de la recherche internationale, est transmis au déposant conformément à l'article 18. Une copie en est transmise au Bureau international.

Ce rapport de recherche internationale comprend 2 feuilles.

☒ Il est aussi accompagné d'une copie de chaque document relatif à l'état de la technique qui y est cité.

1. Base du rapport

a. En ce qui concerne la langue, la recherche internationale a été effectuée sur la base de la demande internationale dans la langue dans laquelle elle a été déposée, sauf indication contraire donnée sous le même point.

☐ la recherche internationale a été effectuée sur la base d'une traduction de la demande internationale remise à l'administration.

b. En ce qui concerne les séquences de nucléotides ou d'acides aminés divulguées dans la demande internationale (le cas échéant), la recherche internationale a été effectuée sur la base du listage des séquences :

☐ contenu dans la demande internationale, sous forme écrite.

☐ déposée avec la demande internationale, sous forme déchiffrable par ordinateur.

☐ remis ultérieurement à l'administration, sous forme écrite.

☐ remis ultérieurement à l'administration, sous forme déchiffrable par ordinateur.

☐ La déclaration, selon laquelle le listage des séquences présenté par écrit et fourni ultérieurement ne vas pas au-delà de la divulgation faite dans la demande telle que déposée, a été fournie.

☐ La déclaration, selon laquelle les informations enregistrées sous forme déchiffrable par ordinateur sont identiques à celles du listage des séquences présenté par écrit, a été fournie.

2. ☐ Il a été estimé que certaines revendications ne pouvaient pas faire l'objet d'une recherche (voir le cadre I).

3. ☐ Il y a absence d'unité de l'invention (voir le cadre II).

4. En ce qui concerne le titre,

☒ le texte est approuvé tel qu'il a été remis par le déposant.

☐ Le texte a été établi par l'administration et a la teneur suivante:

5. En ce qui concerne l'abrégé,

☒ le texte est approuvé tel qu'il a été remis par le déposant

☐ le texte (reproduit dans le cadre III) a été établi par l'administration conformément à la règle 38.2b). Le déposant peut présenter des observations à l'administration dans un délai d'un mois à compter de la date d'expédition du présent rapport de recherche internationale.

6. La figure des dessins à publier avec l'abrégé est la Figure n° 4

☒ suggérée par le déposant.

☐ parce que le déposant n'a pas suggéré de figure.

☐ parce que cette figure caractérise mieux l'invention.

☐ Aucune des figures n'est à publier.

THIS PAGE BY AIR (ISPTO)



## PCT

## RAPPORT DE RECHERCHE INTERNATIONALE

(article 18 et règles 43 et 44 du PCT)

Référence du dossier du déposant ou du mandataire <b>B 13299.3 DB</b>	<b>POUR SUITE</b> voir la notification de transmission du rapport de recherche internationale (formulaire PCT/ISA/220) et, le cas échéant, le point 5 ci-après <b>A DONNER</b>	
Demande internationale n° <b>PCT/FR 00/ 01861</b>	Date du dépôt international (jour/mois/année) <b>30/06/2000</b>	(Date de priorité (la plus ancienne) (jour/mois/année) <b>02/07/1999</b>

Déposant

COMMISSARIAT A L'ENERGIE ATOMIQUE

Le présent rapport de recherche internationale, établi par l'administration chargée de la recherche internationale, est transmis au déposant conformément à l'article 18. Une copie en est transmise au Bureau international.

Ce rapport de recherche internationale comprend 2 feuilles.



Il est aussi accompagné d'une copie de chaque document relatif à l'état de la technique qui y est cité.

## 1. Base du rapport

- a. En ce qui concerne la **langue**, la recherche internationale a été effectuée sur la base de la demande internationale dans la langue dans laquelle elle a été déposée, sauf indication contraire donnée sous le même point.



la recherche internationale a été effectuée sur la base d'une traduction de la demande internationale remise à l'administration.

- b. En ce qui concerne les **séquences de nucléotides ou d'acides aminés** divulguées dans la demande internationale (le cas échéant), la recherche internationale a été effectuée sur la base du listage des séquences :



contenu dans la demande internationale, sous forme écrite.



déposée avec la demande internationale, sous forme déchiffrable par ordinateur.



remis ultérieurement à l'administration, sous forme écrite.



remis ultérieurement à l'administration, sous forme déchiffrable par ordinateur.



La déclaration, selon laquelle le listage des séquences présenté par écrit et fourni ultérieurement ne vas pas au-delà de la divulgation faite dans la demande telle que déposée, a été fournie.



La déclaration, selon laquelle les informations enregistrées sous forme déchiffrable par ordinateur sont identiques à celles du listage des séquences présenté par écrit, a été fournie.

2. ☐ Il a été estimé que certaines revendications ne pouvaient pas faire l'objet d'une recherche (voir le cadre I).

3. ☐ Il y a absence d'unité de l'invention (voir le cadre II).

## 4. En ce qui concerne le titre,



le texte est approuvé tel qu'il a été remis par le déposant.



Le texte a été établi par l'administration et a la teneur suivante:

## 5. En ce qui concerne l'abrégé,



le texte est approuvé tel qu'il a été remis par le déposant



le texte (reproduit dans le cadre III) a été établi par l'administration conformément à la règle 38.2b). Le déposant peut présenter des observations à l'administration dans un délai d'un mois à compter de la date d'expédition du présent rapport de recherche internationale.

## 6. La figure des dessins à publier avec l'abrégé est la Figure n°



suggérée par le déposant.



parce que le déposant n'a pas suggéré de figure.



parce que cette figure caractérise mieux l'invention.

4

Aucune des figures n'est à publier.

**THIS PAGE BLANK (USPTO)**

# RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale No

PCT/FR 00/01861

**A. CLASSEMENT DE L'OBJET DE LA DEMANDE**  
CIB 7 G06F11/20 G06F15/80

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

**B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE**

Documentation minimale consultée (système de classification suivi des symboles de classement)

CIB 7 G06F

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés)

WPI Data, INSPEC, IBM-TDB, EPO-Internal

**C. DOCUMENTS CONSIDERES COMME PERTINENTS**

Catégorie *	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	<p>VARVARIGOU T A ET AL: "NEW ALGORITHMS FOR RECONFIGURING VLSI/WSI ARRAYS" JOURNAL OF VLSI SIGNAL PROCESSING, NL, KLUWER ACADEMIC PUBLISHERS, DORDRECHT, vol. 3, no. 4, 1 octobre 1991 (1991-10-01), pages 329-344, XP000262126 ISSN: 0922-5773 page 329, colonne de droite, ligne 16 -page 337, colonne de gauche, ligne 1</p> <p style="text-align: center;">--- -/-</p>	1,6

☒ Voir la suite du cadre C pour la fin de la liste des documents

☐ Les documents de familles de brevets sont indiqués en annexe

\* Catégories spéciales de documents cités:

- "A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent
- "E" document antérieur, mais publié à la date de dépôt international ou après cette date
- "L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)
- "O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens
- "P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

"T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention

"X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément

"Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier

"&" document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

20 octobre 2000

Date d'expédition du présent rapport de recherche internationale

30/10/2000

Nom et adresse postale de l'administration chargée de la recherche internationale  
Office Européen des Brevets, P.B. 5818 Patentaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Fonctionnaire autorisé

Michel, T

11  
12  
13

THIS PAGE RI ANK (110576)

C.(suite) DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	<p>KIM J H ET AL: "AN ON-LINE RECONFIGURATION ALGORITHM OF WSI PROCESSOR ARRAYS"</p> <p>PROCEEDINGS OF THE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS. (ISCAS), US, NEW YORK, IEEE,</p> <p>vol. CONF. 25, 1992, pages 2953-2956, XP000338834</p> <p>ISBN: 0-7803-0593-0</p> <p>page 2594, alinéa 3 -page 2595</p> <p>---</p>	1,6
A	<p>POPLI S P ET AL: "A RECONFIGURABLE VLSI ARRAY FOR RELIABILITY AND YIELD ENHANCEMENT"</p> <p>PROCEEDINGS OF THE INTERNATIONAL CONFERENCE ON SYSTOLIC ARRAYS. FROM 1990 PROCEEDINGS OF THE INTERNATIONAL CONFERENCE ON APPLICATION SPECIFIC ARRAY PROCESSORS, US, WASHINGTON, IEEE COMP. SOC. PRESS,</p> <p>vol. CONF. 2, 1988, pages 631-642, XP000756117</p> <p>page 635, alinéa 4.2 -page 638</p> <p>---</p>	1,6
P, X	<p>CLERMIDY F ET AL: "A new placement algorithm dedicated to parallel computers: bases and application"</p> <p>PROCEEDINGS 1999 PACIFIC RIM INTERNATIONAL SYMPOSIUM ON DEPENDABLE COMPUTING, PROCEEDINGS 1999 PACIFIC RIM INTERNATIONAL SYMPOSIUM ON DEPENDABLE COMPUTING, HONG KONG, 16-17 DEC. 1999,</p> <p>pages 242-249, XP002139232</p> <p>1999, Los Alamitos, CA, USA, IEEE Comput. Soc, USA</p> <p>ISBN: 0-7695-0371-3</p> <p>le document en entier</p> <p>-----</p>	1-6

**THIS PAGE BLANK (USPTO)**

# TRAITE DE COOPERATION EN MATIERE DE BREVETS

WO 01/02960  
PCT/FR00/01861

**PCT**

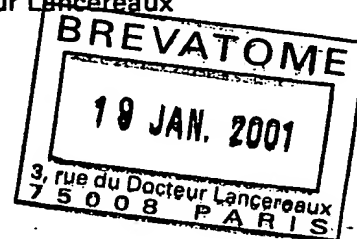
## AVIS INFORMANT LE DEPOSANT DE LA COMMUNICATION DE LA DEMANDE INTERNATIONALE AUX OFFICES DESIGNES

(règle 47.1.c), première phrase, du PCT)

Expéditeur: le BUREAU INTERNATIONAL

Destinataire:

RICHARD, Patrick  
Brevatome  
3, rue du Docteur Langeron  
F-75008 Paris  
FRANCE



Date d'expédition (jour/mois/année) 11 janvier 2001 (11.01.01)		
Référence du dossier du déposant ou du mandataire B 13299.3 DB		<b>AVIS IMPORTANT</b>
Demande internationale no PCT/FR00/01861	Date du dépôt international (jour/mois/année) 30 juin 2000 (30.06.00)	Date de priorité (jour/mois/année) 02 juillet 1999 (02.07.99)
Déposant COMMISSARIAT A L'ENERGIE ATOMIQUE etc		

1. Il est notifié par la présente qu'à la date indiquée ci-dessus comme date d'expédition de cet avis, le Bureau international a communiqué, comme le prévoit l'article 20, la demande internationale aux offices désignés suivants:

US

Conformément à la règle 47.1.c), troisième phrase, ces offices acceptent le présent avis comme preuve déterminante du fait que la communication de la demande internationale a bien eu lieu à la date d'expédition indiquée plus haut, et le déposant n'est pas tenu de remettre de copie de la demande internationale à l'office ou aux offices désignés.

2. Les offices désignés suivants ont renoncé à l'exigence selon laquelle cette communication doit être effectuée à cette date:

EP

La communication sera effectuée seulement sur demande de ces offices. De plus, le déposant n'est pas tenu de remettre de copie de la demande internationale aux offices en question (règle 49.1)a-bis)).

3. Le présent avis est accompagné d'une copie de la demande internationale publiée par le Bureau international le 11 janvier 2001 (11.01.01) sous le numéro WO 01/02960

### **RAPPEL CONCERNANT LE CHAPITRE II (article 31.2)a) et règle 54.2)**

Si le déposant souhaite reporter l'ouverture de la phase nationale jusqu'à 30 mois (ou plus pour ce qui concerne certains offices) à compter de la date de priorité, la demande d'examen préliminaire international doit être présentée à l'administration compétente chargée de l'examen préliminaire international avant l'expiration d'un délai de 19 mois à compter de la date de priorité.

Il appartient exclusivement au déposant de veiller au respect du délai de 19 mois.

Il est à noter que seul un déposant qui est ressortissant d'un Etat contractant du PCT lié par le chapitre II ou qui y a son domicile peut présenter une demande d'examen préliminaire international.

### **RAPPEL CONCERNANT L'OUVERTURE DE LA PHASE NATIONALE (article 22 ou 39.1))**

Si le déposant souhaite que la demande internationale procède en phase nationale, il doit, dans le délai de 20 mois ou de 30 mois, ou plus pour ce qui concerne certains offices, accomplir les actes mentionnés dans ces dispositions auprès de chaque office désigné ou élu.

Pour d'autres informations importantes concernant les délais et les actes à accomplir pour l'ouverture de la phase nationale, voir l'annexe du formulaire PCT/IB/301 (Notification de la réception de l'exemplaire original) et le volume II du Guide du déposant du PCT.

Bureau international de l'OMPI 34, chemin des Colombettes 1211 Genève 20, Suisse	Fonctionnaire autorisé  J. Zahra
no de télécopieur (41-22) 740.14.35	no de téléphone (41-22) 338.83.38

**THIS PAGE BLANK (USPTO)**



## REQUETE PCT

B 13299.3 DB

Original (pour PRESENTATION) - imprimé le 30.06.2000 11:30:51 AM

0 0-1	Réservé à l'office récepteur Demande internationale No.	
0-2	Date du dépôt international	
0-3	Nom de l'office récepteur et "Demande internationale PCT"	
0-4 0-4-1	Formulaire - PCT/RO/101 Requête PCT Préparé avec	PCT-EASY Version 2.90 (mis à jour 10.05.2000)
0-5	Pétition Le soussigné requiert que la présente demande internationale soit traitée conformément au Traité de coopération en matière de brevets	
0-6	Office récepteur (choisi par le déposant)	Institut national de la propriété industrielle (France) (RO/FR)
0-7	Référence du dossier du déposant ou du mandataire	B 13299.3 DB
I'	Titre de l'invention	PROCEDE DE RECONFIGURATION APPLICABLE A UN RESEAU D'ELEMENTS FONCTIONNELS IDENTIQUES.
II II-1 II-2 II-4 II-5	Déposant Cette personne est : Déposant pour Nom Adresse:	Déposant seulement Tous les Etats désignés sauf US COMMISSARIAT A L'ENERGIE ATOMIQUE 31/33, rue de la Fédération F-75752 PARIS 15ème France
II-6 II-7 II-8 II-9	Nationalité (nom de l'Etat) Résidence (nom de l'Etat) No. de téléphone No de télécopieur:	FR FR 01.69.08.82.96 01.69.08.82.92
III-1 III-1-1 III-1-2 III-1-4 III-1-5	Déposant et/ou inventeur Cette personne est : Déposant pour Nom (NOM DE FAMILLE, Prénom) Adresse:	Déposant et inventeur US seulement CLERMIDY, Fabien 101b, rue du 8 mai 1945 F-91300 MASSY France
III-1-6 III-1-7	Nationalité (nom de l'Etat) Résidence (nom de l'Etat)	FR FR

THIS PAGE BLANK (USPTO)

## REQUETE PCT

B 13299.3 DB

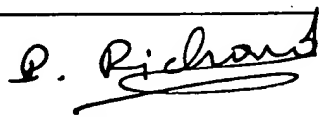
Original (pour PRESENTATION) - imprimé le 30.06.2000 11:30:51 AM

III-2	Déposant et/ou inventeur	Déposant et inventeur
III-2-1	Cette personne est :	US seulement
III-2-2	Déposant pour	COLLETTE, Thierry
III-2-4	Nom (NOM DE FAMILLE, Prénom)	Résidence Les PAMPRES
III-2-5	Adresse:	Bât. A F-91940 LES ULIS France
III-2-6	Nationalité (nom de l'Etat)	FR
III-2-7	Résidence (nom de l'Etat)	FR
IV-1	Mandataire ; Représentant commun ou adresse pour la correspondance. La personne nommée ci-dessous est/ a été désignée pour agir au nom du ou des déposants auprès des autorités internationales compétentes, comme	mandataire
IV-1-1	Nom (NOM DE FAMILLE, Prénom)	RICHARD, Patrick
IV-1-2	Adresse:	c/o BREVATOME 3, rue du Docteur Lancereaux F-75008 PARIS France
IV-1-3	No. de téléphone	01.53.83.94.00
IV-1-4	No de télécopieur:	01.45.63.83.33
IV-1-5	Courrier électronique:	spibrev@easynet.fr
V	Désignation d'Etats	
V-1	Brevet régional (d'autres formes de protection ou de traitement, le cas échéant, sont spécifiées entre parenthèses pour les Etats désignés concernés)	EP: AT BE CH&LI CY DE DK ES FI FR GB GR IE IT LU MC NL PT SE et tout autre Etat qui est un Etat contractant de la Convention sur le brevet européen et du PCT
V-2	Brevet national (d'autres formes de protection ou de traitement, le cas échéant, sont spécifiées entre parenthèses pour les Etats désignés concernés)	US
V-5	Déclaration concernant les désignations de précaution Outre les désignations faites sous les rubriques V-1, V-2 et V-3, le déposant fait aussi, conformément à la règle 4.9.b), toutes les désignations qui seraient autorisées en vertu du PCT, à l'exception de toute désignation(s) indiquée(s) dans la rubrique V-6 ci-dessous. Le déposant déclare que ces désignations additionnelles sont faites sous réserve de confirmation et que toute désignation qui n'est pas confirmée avant l'expiration d'un délai de 15 mois à compter de la date de priorité sera considérée comme retirée par le déposant à l'expiration de ce délai.	
V-6	Exclusion(s) des désignations de précaution	NEANT

**THIS PAGE BLANK (USPTO)**

## REQUETE PCT

Original (pour PRESENTATION) - imprimé le 30.06.2000 11:30:51 AM

VI-1	Revendication de priorité d'une demande nationale antérieure		
VI-1-1	Date du dépôt	02 juillet 1999 (02.07.1999)	
VI-1-2	Numéro	99 08554	
VI-1-3	Pays	FR	
VII-1	Administration chargée de la recherche internationale choisie	Office européen des brevets (OEB) (ISA/EP)	
VII-2	Demande d'utilisation des résultats d'une recherche antérieure; mention de cette recherche		
VII-2-1	Date	31 mai 2000 (31.05.2000)	
VII-2-2	Numéro	FA 580922	
VII-2-3	Pays (ou office régional)	EP	
VIII	Bordereau	Nombre de feuilles	Dossier(s) électronique(s) joint(s)
VIII-1	Requête	4	-
VIII-2	Description	27	-
VIII-3	Revendications	2	-
VIII-4	Abrégé	1	abr-b13299db.txt
VIII-5	Dessins	14	-
VIII-7	TOTAL	48	
	Eléments joints	Document(s) papier joint(s)	Dossier(s) électronique(s) joint(s)
VIII-8	Feuille de calcul des taxes	✓	-
VIII-10	Copie du pouvoir général	référence n° PG 07085	-
VIII-16	Disquette PCT-EASY	-	disquette
VIII-17	Autre (préciser) :	Liste des mandataires Brevetome	-
VIII-18	Figure des dessins qui doit accompagner l'abrégé	4	
VIII-19	Langue de dépôt de la demande internationale	français	
IX-1	Signature du déposant ou du mandataire		
IX-1-1	Nom (NOM DE FAMILLE, Prénom)	RICHARD, Patrick	

RESERVE A L'OFFICE RECEPTEUR

10-1	Date effective de réception des pièces supposées constituer la demande internationale	
10-2	Dessins:	
10-2-1	Reçus	
10-2-2	non reçus	

THIS PAGE BLANK (USPTO)

## REQUETE PCT

Original (pour PRESENTATION) - imprimé le 30.06.2000 11:30:51 AM

10-3	Date effective de réception, rectifiée en raison de la réception ultérieure, mais dans les délais, de documents ou de dessins complétant ce qui est supposé constituer la demande internationale:	
10-4	Date de réception, dans les délais, des corrections demandées selon l'article 11.2) du PCT	
10-5	Administration chargée de la recherche internationale	ISA/EP
10-6	Transmission de la copie de recherche différée jusqu'au paiement de la taxe de recherche	

## RESERVE AU BUREAU INTERNATIONAL

11-1	Date de réception de l'exemplaire original par le Bureau international	
------	--	--

THIS PAGE BLANK (USP) (12/20)



**PCT (ANNEXE - FEUILLE DE CALCUL DES TAXES)**

B 13299.3 DB

Original (pour PRÉSENTATION) - imprimé le 30.06.2000 11:30:51 AM

(Cette feuille ne fait pas partie de la demande internationale ni ne compte comme une feuille de celle-ci)

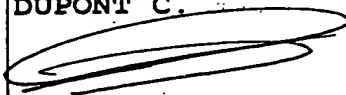
0	Réservé à l'office récepteur			
0-1	Demande internationale No.			
0-2	Timbre à date de l'office récepteur			
0-4	Formulaire - PCT/RO/101 (Annexe)			
0-4-1	Feuille de calcul des taxes PCT Préparé avec	PCT-EASY Version 2.90 (mis à jour 10.05.2000)		
0-9	Référence du dossier du déposant ou du mandataire	B 13299.3 DB		
2	Déposant	COMMISSARIAT A L'ENERGIE ATOMIQUE, et al.		
12	Calcul des taxes prescrites	Montant total des taxes/multiplicateur	Montant total (FRF)	
12-1	Taxe de transmission T	⇒	400	
12-2	Taxe de recherche S	⇒	6 198,79	
12-3	Taxe internationale Taxe de base (30 premières feuilles) b1	2 682,86		
12-4	Feuilles suivantes	18		
12-5	Montant additionnel (X)	59,04		
12-6	Montant total additionnel b2	1 062,72		
12-7	b1 + b2 = B	3 745,58		
12-8	Taxes de désignation Nombre de désignations indiquées dans la demande internationale	2		
12-9	Number of designation fees payable (maximum 8)	2		
12-10	Montant de la taxe de désignation (X)	577,24		
12-11	Montant total des taxes de désignation D	1 154,48		
12-12	Réduction de taxe PCT-EASY R	-826,51		
12-13	Montant total de la taxe internationale (B+D-R) I	⇒	4 073,55	
12-17	TOTAL DES TAXES DUES (T+S+I+P)	⇒	10 672,34	
12-19	Mode de paiement	autorisation de débiter un compte de dépôt		
12-20	Instructions concernant le compte de dépôt L'office récepteur:	Institut national de la propriété industrielle (France) (RO/FR)		
12-20-1	est autorisé à débiter mon compte de dépôt du total des taxes indiqué ci-dessus	✓		

THIS PAGE BLANK (USPTO)

**PCT (ANNEXE - FEUILLE DE CALCUL DES TAXES)**

B 13299.3 DB

Original (pour PRESENTATION) - imprimé le 30.06.2000 11:30:51 AM

12-20-2	est autorisé à débiter mon compte de dépôt de tout montant manquant, ou à le créditer de tout excédent, dans le paiement du total des taxes indiqué ci-dessus	✓
12-21	Compte de dépôt No.	024
12-22	Date	30 juin 2000 (30.06.2000)
12-23	Nom et signature	DUPONT C. 

**MESSAGES DE VALIDATION ET REMARQUES**

13-2-2	Messages de validation Etats	Vert? Il est possible d'effectuer davantage de désignations. Les Etats suivants n'ont pas été désignés: AP: ( GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZW); EA: ( AM, AZ, BY, KG, KZ, MD, RU, TJ, TM); OA: ( BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG); AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, LI, CN, CR, CU, CZ, DE, DK, DM, DZ, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZW. Prière de vérifier.
13-2-6	Messages de validation Bordereau	Vert? Priorité 1: Le document de priorité n'est pas joint. (Le déposant doit le fournir dans un délai de 16 mois à compter de la date de priorité la plus ancienne revendiquée)
13-2-8	Messages de validation Paiement	Vert? Prière de vérifier que vous avez bien un compte de dépôt auprès de l'office récepteur.

**THIS PAGE BLANK (USPTO)**